

明 細 書

検査方法、半導体装置、及び表示装置

5

技術分野

本発明は、画素駆動用セルがマトリクス状に配列されるようにして形成される半導体基板の検査方法と、この検査方法に対応した半導体基板から成る半導体装置と、このような半導体装置を備えた表示装置とに関するものである。

10

背景技術

アクティブマトリクス方式を採用した液晶表示装置が、例えば液晶プロジェクタ装置や、液晶ディスプレイ装置などに広く採用されている。

15

このようなアクティブマトリクス方式による液晶表示装置は、周知のように、例えば半導体基板に対して、例えばMOS型トランジスタによる画素スイッチと、この画素スイッチに接続される画素容量とを備えた画素セル駆動回路がマトリクス状に配置されるようにして形成される。

20

つまり、水平（行）方向に沿っては複数の走査線（ゲート線）が配されると共に、垂直（列）方向に沿っては複数のデータ線が配される。そして、これらゲート線とデータ線との交点に対応する位置に対して、画素セル駆動回路が接続されるものである。そして、この半導体基板に対して、共通電極を形成した対向基板を対向させ、これら半導体基板と対向基板との間に液晶を封入するようにされる。このような構造によって液晶表示装置が構成される。

25

また、このような液晶表示装置における画像表示のための駆動を簡単

に説明すると次のようになる。

水平方向に配されたゲート線に対しては、例えば1水平走査期間ごとに、所定レベルの電圧を順次印加していくようにされる。つまり、ゲート線の順次走査を行っていくようにされる。このとき、走査が行われた
5 ゲート線に接続されている複数の画素スイッチ(MOS形トランジスタ)のゲートにゲート電圧が印加されることとなって、これらの画素スイッチはオン状態となる。これと共に、1水平走査期間内においては、データ線を駆動することが行われる。つまり、データ線に対してデータに応じた電圧を印加する。なお、この際においては、データ線に対して、順
10 次、データを印加する、いわゆる点順次駆動方式によるデータ線駆動が一般的には行われる。

このようにして印加されたデータは、上記のようにしてオン状態にある画素スイッチを介して画素容量に電荷として蓄積される。つまり、1水平ライン分の画素セルに対するデータの書き込みが行われるものである。
15 このようにしてデータの書き込みが行われると、画素容量に蓄積された電荷と、対向電極に印加されるコモン電圧との間に電位差が生じ、この電位差によって、その間に封入された液晶が励起されることになる。つまり、画素セルの駆動が行われる。

そして、このような1ゲート線ごとに対応する画素セルの駆動が、ゲート線を順次走査するごとに実行されることで、例えば1画面分の画像が表示される。
20

また、液晶表示装置における表示駆動にあっては、液晶に直流電圧がかかることで液晶が劣化してしまうことを防ぐように駆動が行われるのが通常である。そして、このような交流駆動の方式の1つとして、コモン電圧を基準にして、正極側と負極側へ画素データを反転させて駆動する
25 極性反転駆動が知られている。この極性反転駆動のタイミングとして

は、フレーム単位で反転させるフレーム反転法、水平ラインごとに反転させるライン反転法、また、画素セル（ドット）ごとに反転させるドット反転法などが挙げられる。

ところで、上記構造による液晶表示装置を構成する半導体基板である
5 が、その製造過程において、ゲート線やデータ線に回路に不良が形成されてしまうことがある。つまり、ゲート線、データ線が断線、若しくは他の半導体基板における何らかの配線と短絡するなどして、正常に動作しないゲート線、データ線が存在する可能性を有している。このような不良は、線欠陥ともいわれる。線欠陥に依っては例えばライン状の非表示が現れるという、液晶表示装置としては重大な品質欠陥を招く。
10

このため、液晶表示装置を製造する過程においては、半導体基板上の回路を対象として、線欠陥がないかどうかを検査することが行われる。

このような半導体基板回路の線欠陥についての検査は、例えば、次のようにして行われている。

15 つまり、ゲート線やデータ線の端部に電氣的に接続されたパッドを半導体基板回路に設けるようにする。そして、検査対象となるゲート線、データ線に所定レベルの電圧印加を行い、上記パッドに対してプローブの針を直接当てて、検出される電流を観測するようにされる。このときに検出される電流のレベルは、線欠陥の有無などのゲート線、データ線
20 の状態などに応じた変化を示すことから、これにより、線欠陥の有無を判定することができる。

しかしながら、近年においては、例えばプロジェクタ装置などへの採用を考慮して、液晶表示装置について小型化し、また、解像度の向上のために単位面積あたりの画素数を増加させることが求められている。し
25 かしながら、このような小型化若しくは画素数増加によつては、隣接するゲート線間、及びデータ線間の間隔が狭くなる。このために、半導体

基板上に、ゲート線、データ線ごとに対応したパッドを配置するスペースを確保することが困難になってくるので、上記した検査を現実に行うことも難しくなってくるという問題を生じる。

そこで、例えば特許文献 1（特開 2001-201765 号公報）に記載されているように、例えばデータ線について、駆動回路と接続されていない側の端部を共通接続して 1 つにまとめて入出力端子に接続し、この入出力端子と映像信号を供給するための端子間に対して外部から所定レベルの電圧を印加するようにされる。そして、このときに端子に流れる電流レベルを観測することで、線欠陥の不良を判定するようにされる。

しかしながら、上記特許文献 1 として開示されている発明の内容によると、電流レベルの測定は、アナログ値によるものとなる。このようにして、アナログ値による電流レベル測定を前提とする場合には、測定した電流レベルに基づく線欠陥などの判定を的確に行うのには、アナログ値であることに依る測定誤差を考慮しなければならない。このため、電流レベルを測定するための検査時間が長くなってしまっており、効率的に検査作業を進めていくことが難しいという問題を抱えていた。

そこで、例えばテスト時間を短縮するために、全てのデータ線又はゲート線についての電流レベル検出を一括に行うようにすることも考えられる。しかし、この場合には、複数にまとめられたデータ線又はゲート線のうちで、例えば 1 カ所のみが断線又は短絡しているような場合には、電流レベルとして反映される変化が非常に小さいものとなり、結果的に、電流レベルによっては、線欠陥についての判定結果を的確に得ることが難しくなってしまう。このため、結局は、例えばデータ線又はゲート線に対して順次電圧印加を行って駆動しなければならない。このようにして、現状において、液晶表示装置などの半導体基板の線欠陥の検査につ

いては、より効率的に行えるようにされることが求められている。

発明の開示

そこで本発明は上記した課題を考慮して、画素スイッチと、この画素
5 スイッチに対して接続されて画素データを保持する画素容量とからなる
画素セル駆動回路が、データ線と画素スイッチ制御線との交点位置に対
応してマトリクス状に配列されて形成される半導体基板に対する検査方
法として次のように構成することとした。

つまり、半導体基板における配線のレイアウト構造及び／又は検査項
10 目に応じて2以上のデータ線又は2以上の画素スイッチ制御線を選択し、
これら選択されたデータ線の各々又は画素スイッチ制御線の各々に対し
て、論理演算工程が行う論理演算の演算式に応じて設定した、所要の論
理値に対応するレベルの検査用駆動信号を印加する検査用駆動工程と、
選択された2以上のデータ線の各々、又は2以上の画素スイッチ制御線
15 の各々に生じる電位出力を論理値として入力して、レイアウト構造及び
／又は検査項目に応じて決定した演算式による論理演算を行う論理演算
工程とを行うように構成する。

また、データ線と画素スイッチ制御線との交点位置に対応し、画素ス
イッチと、この画素スイッチに対して接続されて画素データを保持する
20 画素容量とからなる画素セル駆動回路をマトリクス状に配列して形成さ
れる画像表示領域部と、半導体基板における配線のレイアウト構造及び
／又は検査項目に応じて選択した2以上のデータ線又は2以上の画素ス
イッチ制御線の各々について、論理演算手段が行う論理演算の演算式に
応じて設定した、所要の論理値に対応するレベルの検査用駆動信号を印
25 加する駆動手段と、検査用駆動信号の印加により、2以上のデータ線又
は2以上の画素スイッチ制御線に生じる電位出力を論理値として入力し

て、レイアウト構造及び／又は検査項目に応じて決定した演算式による論理演算を行い、論理演算結果を出力する論理演算手段とを半導体基板に形成して、半導体装置を構成することとした。

また、表示装置として次のように構成することとした。

- 5 つまり、本発明としての表示装置は、半導体基板と、この半導体基板に対して対向して配置される共通電極を有する対向基板と、半導体基板と対向基板との間に介在する液晶層とを備えて成るものとされる。

- 10 そして、半導体基板は、データ線と画素スイッチ制御線との交点位置に対応し、画素スイッチと、この画素スイッチに対して接続されて画素データを保持する画素容量とからなる画素セル駆動回路をマトリクス状に配列して形成される画像表示領域部と、半導体基板における配線のレイアウト構造及び／又は検査項目に応じて選択した2以上のデータ線又は2以上の画素スイッチ制御線の各々について、論理演算手段が行う論理演算の演算式に応じて設定した、所要の論理値に対応するレベルの検査用駆動信号を印加する駆動手段と、検査用駆動信号の印加により、上記2以上のデータ線又は2以上の画素スイッチ制御線に生じる電位出力を論理値として入力して、レイアウト構造及び／又は検査項目に基づいて決定した演算式による論理演算を行い、論理演算結果を出力する論理演算手段とが形成されているものとした。

- 20 上記各構成による発明としては、半導体基板における配線のレイアウト構造及び／又は検査項目に応じて、この半導体基板上に配置されるデータ線又は画素スイッチ制御線のうちから、しかるべき2以上のデータ線、あるいは2以上の画素スイッチ制御線を選択するようにされる。

- 25 そして、これらの選択された2以上のデータ線、又は2以上の画素スイッチ制御線に対して、上記レイアウト構造及び／又は検査項目に応じて、所定の論理値としての検査用駆動信号を印加したうえで、これらの

検査用駆動信号が印加されたデータ線又は画素スイッチ制御線の各々に生じるとされる論理値としての電位出力の論理演算を行うようにされる。この論理演算の種類も、上記レイアウト構造及び／又は検査項目に応じて決定される。また、論理演算の結果は、検査用駆動信号が印加された

5 データ線又は画素スイッチ制御線の状態に応じて変化するから、これが検査のための判定要素として利用できることになる。

このことから本発明としては、検査のための判定要素としての検出出力が、例えばアナログの電流レベル変化などとされるのではなく、0，1（H，L）の何れかをとる2値、つまり、デジタル値であるということになる。

10

また、画素スイッチと、この画素スイッチに対して接続されて画素データを保持する画素容量とからなる画素セル駆動回路が、データ線と画素スイッチ制御線との交点位置に対応してマトリクス状に配列されて形成される半導体基板に対する検査方法として、次のようにも構成する。

つまり、検査対象である上記データ線又は画素スイッチ制御線を、所要の電圧レベルの検査用駆動信号により駆動する駆動工程と、検査用駆動信号により駆動されるデータ線又は画素スイッチ制御線に生じる電位出力レベルと、所定レベルが設定された基準レベルとについて比較を行って、比較結果を論理値として出力するようにされた比較工程とを行う

15

20 こととした。

また、データ線と画素スイッチ制御線との交点位置に対応し、画素スイッチと、この画素スイッチに対して接続されて画素データを保持する画素容量とからなる画素セル駆動回路をマトリクス状に配列して形成される画像表示領域部と、検査対象である上記データ線又は画素スイッチ

25

制御線を、所要の電圧レベルの検査用駆動信号により駆動する駆動手段と、検査用駆動信号により駆動されるデータ線又は画素スイッチ制御線

に生じる電位出力レベルと、所定レベルが設定された基準レベルとについて比較を行って、比較結果を論理値として出力するようにされた比較手段とを半導体基板に形成して半導体装置を構成することとした。

また、表示装置としては次のように構成する。

- 5 本発明の表示装置は、半導体基板と、この半導体基板に対して対向して配置される共通電極を有する対向基板と、半導体基板と対向基板との間に介在する液晶層とを備えて成る。

そして、上記半導体基板は、検査対象である上記データ線又は画素スイッチ制御線を、所要の電圧レベルの検査用駆動信号により駆動する駆
10 動手段と、検査用駆動信号により駆動されるデータ線又は画素スイッチ制御線に生じる電位出力レベルと、所定レベルが設定された基準レベルとについて比較を行って、比較結果を論理値として出力するようにされた比較手段とが形成されているものとした。

上記構成による発明では、データ線又は画素スイッチ制御線に対して
15 所要のレベルの検査用駆動信号を印加するようにされており、これにより、そのデータ線又は画素スイッチ制御線には、状態に応じた電位変化を生じることになる。そして、このようにして得られる電位と基準レベルとを比較した結果を論理値として出力するようにされている。従って、この比較結果としての論理値出力も、データ線又は画素スイッチ制御線
20 の状態に応じた変化を示すことになり、検査のための判定要素として利用できることになる。

このようにして、上記発明としても、検査のための判定要素としての検出出力はデジタル値として得られることになる。

25 図面の簡単な説明

図 1 は、本発明の第 1 及び第 2 の実施の形態に共通する液晶表示装置

の回路構成を示す図である。

図 2 は、実施の形態の液晶表示装置を構成する半導体基板の配線レイアウト構造の例を模式的に示す断面図である。

図 3 は、第 1 の実施の形態（第 1 例）に対応する液晶表示装置の回路
5 構成を示す図である。

図 4 A 乃至図 4 D は、第 1 の実施の形態（第 1 例）に対応する、検査用駆動信号の論理値と、データ線の線欠陥状態に応じた論理回路の出力（論理値）との関係を示す図である。

図 5 は、第 1 の実施の形態（第 2 例）に対応する液晶表示装置の回路
10 構成を示す図である。

図 6 A 乃至図 6 D は、第 1 の実施の形態（第 2 例）に対応する、検査用駆動信号の論理値と、データ線の線欠陥状態に応じた論理回路の出力（論理値）との関係を示す図である。

図 7 は、第 1 の実施の形態（第 3 例）に対応する液晶表示装置の回路
15 構成を示す図である。

図 8 A 乃至図 8 L は、第 1 の実施の形態（第 3 例）に対応する、検査用駆動信号の論理値と、データ線の線欠陥状態に応じた論理回路の出力（論理値）との関係を示す図である。

図 9 は、第 1 の実施の形態（第 4 例）に対応する液晶表示装置の回路
20 構成を示す図である。

図 10 は、第 1 の実施の形態（第 5 例）に対応する液晶表示装置の回路構成を示す図である。

図 11 は、第 2 の実施の形態（第 1 例）に対応する液晶表示装置の回路構成を示す図である。

25 図 12 は、第 2 の実施の形態（第 2 例）に対応する液晶表示装置の回路構成を示す図である。

発明を実施するための最良の形態

以下、本発明を実施するための最良の形態（以下、単に「実施の形態」ともいうことにする）について説明を行っていくこととする。本実施の
5 形態としては、例えば液晶プロジェクタ装置などをはじめとする各種映像機器、電子機器に採用される、アクティブマトリクス方式の液晶表示装置を例に挙げることにする。

以降においては、本発明の実施の形態として、第1の実施の形態と第2の実施の形態とについて説明を行っていくが、図1は、第1の実施の
10 形態と、第2の実施の形態とで共通となる液晶表示装置の回路構成例を示している。この図に示される液晶表示装置1の基本構造としては、半導体基板上に対して、少なくとも、例えばマトリクス状に配列される画素セル駆動回路をはじめとする所要の回路を形成する。そして、この半導体基板に対して、共通電極を形成した対向基板を対向させ、これら半
15 導体基板と対向基板との間に液晶を封入するようにした構造を有している。

本実施の形態の場合、半導体基板にはシリコン（Si）の材質によるシリコン基板が用いられる。そして、この半導体基板に対して、画素セル駆動回路5をマトリクス状に配列するようにして形成すると共に、ゲ
20 ート線駆動回路2、データ線駆動回路3、及び、後述するようにして少なくともデータ線とゲート線の欠陥検査に用いることのできる、データ線テスト回路11とゲート線テスト回路10とを形成する。

まず、この半導体基板上に形成される画素セル駆動回路5の回路構成を、図1において破線で括って示す部位を例に説明する。

25 1つの画素セル駆動回路5は、図のように、画素スイッチ S_{mn} 、画素容量 C_{mn} 、及び画素電極 P_{22} を備える。

画素スイッチ S_{mn} は、例えば FET（電界効果トランジスタ）としての構造を有している。画素スイッチ S_{mn} のゲート（G）は、ゲート線 G_m に対して接続され、ドレイン（D）は、データ線 D_n と接続される。なお、各ゲート線及びデータ線も、半導体基板に対して形成されるものである。

また、画素スイッチ S_{mn} のソース（S）は、画素容量 C_{mn} の一端と接続される。画素容量 C_{mn} の他端は、この場合には、共通電極に対して接続される。また、画素スイッチのソースと画素容量 C_{mn} の接続点は、画素電極 P_{22} に対して接続される。

そして、このようにして形成される画素セル駆動回路 5 が、図示するようにして行方向と桁方向に沿って、マトリクス状に配列されるものである。また、このようにして画素セル駆動回路 5 が形成される半導体基板としては、各画素セル駆動回路 5 の画素電極 P がマトリクス状に配列されて表出している状態となる。

ゲート線駆動回路 2 は、例えばシフトレジスタを備えて形成され、通常の表示を行う場合には、行（1 水平ライン）ごとに、垂直方向にしたがってゲート線の走査を行うために設けられる。つまり、1 水平走査期間ごとに、ゲート線 $G_{m-1} \rightarrow G_m \rightarrow G_{m+1} \dots$ の順で、パルス状の走査信号（走査パルス）を出力することでゲート線を走査する。例えばゲート線駆動回路 2 の走査によってゲート線 G_m が駆動されれば、ゲート線 G_m と接続されている 1 行分の画素スイッチ（ $S_{m,n-1}$ 、 $S_{m,n}$ 、 $S_{m,n+1}$ ）のゲートにゲート電圧が印加されて、これらの画素スイッチ（ $S_{m,n-1}$ 、 $S_{m,n}$ 、 $S_{m,n+1}$ ）がオンとなる。

データ線駆動回路 3 も、シフトレジスタ等を備えて形成される回路であり、外部から入力される 1 水平ラインごとのデータを、順次シフトすることで、各データ線 D_{n-1} 、 D_n 、 D_{n+1} を水平方向に沿って順

次走査するようにして駆動する。

このようにして形成される半導体基板に対しては、共通電位 V_{com} が印加される共通電極が形成された対向基板が対向するようにして配置される。そして、この半導体基板と、対向基板との間に、液晶を封入する
5 ことで液晶層 4 を形成する。このようにして、本実施の形態の液晶表示装置 1 が構成される。

このようにして形成される液晶表示装置 1 により通常の画像表示を行う場合の動作は、簡略には次のようになる。

例えば先ず、ゲート線駆動回路 2 は、シフトレジスタの動作によって、
10 1 水平走査期間ごとのタイミングで出力をシフトしていくことで、順次、1 行目から最終行までのゲート線を走査していく。

これにより、例えば或る水平走査期間においては、ゲート線 G_{m-1} に接続される行の画素スイッチ S_{m-1n-1} , S_{m-1n} , S_{m-1n+1} にゲート電圧が印加されてオンとなり、続く水平走査期間においては、上記画素スイッチ S_{m-1n-1} , S_{m-1n} , S_{m-1n+1}
15 は、オフ状態とされたうえで、次のゲート線 G_m に接続される行の画素スイッチ S_{mn-1} , S_{mn} , S_{mn+1} がオンとされる。以降、同様にして残るゲート線に対する走査が行われていくものである。

そして、上記のようにして 1 つのゲート線が走査される期間内においては、データ線駆動回路 3 におけるシフトレジスタの動作によって、1
20 桁目から最終桁までのデータ線を順次駆動していくことが行われる。ここで、データ線を駆動するとは、画素データに対応する電圧値をデータ線駆動回路 3 からデータ線に対して出力することをいう。

例えばゲート線 G_m を走査している期間内において、データ線 D_{n-1}
25 1 の駆動が行われたとする。このときには、ゲート線 G_m にゲートが接続される画素スイッチ S_{mn-1} , S_{mn} , S_{mn+1} がオンとなって

いるわけであるが、データ線 D_{n-1} が駆動されることで、このゲート線 G_m とデータ線 D_{n-1} の交点にある画素スイッチ S_{mn-1} に接続される画素容量 C_{mn-1} に対して、データ線 D_{n-1} に印加された電圧値（データ）に応じた電荷が、画素スイッチ S_{mn-1} のドレイン→

5 ソースを介して蓄積される。この蓄積された電荷量に応じた電位が画素容量 C_{mn-1} の両端に発生する。つまり、画素容量 C_{mn-1} に対してデータの書き込みが行われたことになる。そして、このデータ書き込みによって画素容量 C_{mn-1} に生じた電位は、同じ画素スイッチ S_{mn-1} のソースに接続された画素電極 P_{21} にも発生することになる。

10 そして、データ線 D_{n-1} によるデータの書き込みが終了したとされると、画素容量 C_{mn-1} に書き込まれたデータは保持した上で、次のデータ線 D_n に対する駆動が行われる。従って、この場合には、ゲート線 G_m とデータ線 D_n の交点にある画素スイッチ S_{mn} に接続される画素容量 C_{mn} に対して、データの書き込みが行われ、画素電極 P_{22} に

15 電位が発生することになる。

ここで、画素電極 P に対しては、液晶層 4 が介在するようにして、電位 V_{com} が印加されている共通電極が対向して配置されている。

そして、上記のようにして、画素電極 P_{21} 、 P_{22} においてデータに対応する電位が順次発生すると、この画素電極 P_{21} の電位と、電位

20 V_{com} との電位差に応じて、その間に介在する液晶層 4 の液晶が反応して励起されることになる。つまり、画素セルの駆動が順次行われていくものである。

そして、上記のようにして、ゲート線 G_m の走査期間内においてデータ線駆動回路 3 がデータ線を順次駆動していくことが行われ、1 水平ラインの画素の駆動が終了したとされると、ゲート線駆動回路 2 では、ゲート線 G_m の走査を終了して、次のゲート線 G_{m-1} の走査を行う。そ

25

して、このゲート線 G_{m-1} の走査期間内において、データ線駆動回路 3 がデータ線を順次駆動して、同様に 1 水平ライン分の画素の駆動を行うようにされる。

このような動作が、全水平ラインごとに行われることで、1 画面のデータの書き込みが完了することになる。そして、この 1 画面分のデータの書き込みが、例えばフィールド周期で繰り返されることで、画像表示が行われるものである。

そして本実施の形態としては、液晶表示装置 1 を構成する半導体基板に形成された、データ線及びゲート線についてのいわゆる線欠陥といわれる欠陥の有無についての検査を行うようにされる。ここでの線欠陥とは、データ線やゲート線について断線又は短絡などの欠陥が生じていることをいう。

例えば上記図 1 に示した液晶表示装置 1 を構成する半導体基板の構成、及び画像表示動作からも理解されるように、データ線やゲート線について線欠陥が生じていると、その欠陥が生じた線が適正に表示駆動されなくなるといふ重大な欠陥を生じることになる。線欠陥の検査は、このような不良品を排除するために行われるものである。

本実施の形態としては、図 1 に示しているように、データ線及びゲート線の各線欠陥を検査するために、液晶表示装置 1 を構成する半導体基板に対してデータ線テスト回路 11 及びゲート線テスト回路 10 を形成するようにして設けている。

図示するようにして、データ線テスト回路 11 には、データ線駆動回路 3 側と接続される側とは反対側のデータ線 ($\dots D_{n-1}$, D_n , $D_{n+1} \dots$) の端部が接続されている。同様にして、ゲート線テスト回路 10 は、データ線駆動回路 3 側と接続される側とは反対側のゲート線 ($\dots G_{m-1}$, G_m , $G_{m+1} \dots$) の端部が接続されてい

る。

第1の実施の形態としては、線欠陥の検査のための構成として、上記データ線テスト回路11及びゲート線テスト回路10に論理回路を構成することとしている。そして、この論理回路が実行する論理演算の種類、及びこの論理回路に接続するべきデータ線又はゲート線を何れとするのかについては、半導体基板における実際の配線のレイアウトの構造に応じて、線欠陥の検査の判定結果が適切に得られるようにすることを考慮して決定すべきものとなる。

そこで、図1に示した液晶表示装置1としての半導体基板における配線レイアウト構造例を、図2に示す。この図においては、半導体基板のレイアウト構造を断面図により示している。また、ここでは説明を簡単にするために、データ線とゲート線のうち、データ線側に対応した配線レイアウト構造を示している。以降の検査のための構成の具体的な説明は、この図に示す配線レイアウトとされていることを前提として行っていく。

この図2においては、先ず、半導体基板におけるレイアウト（配置）構造において、2本のデータ線 D_n 、 D_{n+1} が隣接して配置されている状態であることとされている。そして、これらデータ線 D_n 、 D_{n+1} の両側に隣接するようにして、シールド配線20A、20Bがそれぞれ配置されている。シールド配線20A、20Bは、同層にある上記データ線 D_n 、 D_{n+1} と、他の配線間をシールドするためのものとされる。

また、この場合の半導体基板は、このようにして複数層の構造を有するものとされているが、ここでは、データ線 D_n 、 D_{n+1} 、及びシールド配線20A、20Bに対向する位置の上層に対して、遮光配線21Aが配置されている状態となっている。また、下層に対しては、遮光配

線 2 1 B が配置されている。遮光配線は、上層側からの光が下側の層に入り込まないようにするために設けられる配線構造である。

上記したシールド配線、及び遮光配線には、電源電位又はグランド電位などの固定電位が印加されているのが通常である。

- 5 そして、例えば線欠陥としてデータ線（又はゲート線）に断線が生じているとすると、断線箇所から先は駆動されないのでハイインピーダンスの状態となり、電流のリークや近傍に配置される配線とのカップリング容量などの、周囲の配線のレイアウト状態に応じて、何らかの決まった電位が生じる。また、線欠陥として、データ線（又はゲート線）が、
10 隣接して配置される他の何らかの配線に短絡した状態となった場合には、その短絡した配線同士の電位などの条件に応じてある決まった電位が生じることになる。

- つまり、データ線（又はゲート線）に、断線又は短絡による線欠陥が生じた場合における、そのデータ線（又はゲート線）に生じる電位は、
15 例えば検査のために印加する電圧（検査用駆動信号）のレベルを決めたとすると、そのデータ線（又はゲート線）の周囲における半導体基板の配線レイアウト構造によって決まるものであるということがいえる。なお、ここでいう配線レイアウト構造とは、上記もしているように、配線に印加される電位の条件を含めた上での、配線の物理的な配置をいうも
20 のとする。

- そして、このことを前提として、例えば検査用駆動信号として、1，
0（正論理では（H，L）となる）の論理値に対応するレベルの電圧を印加することとすれば、データ線（又はゲート線）についても、線欠陥の有無、状態に応じて、H，Lの論理値に応じた検出出力を得ることが
25 できるということが導かれる。

 このことに基づいて第1の実施の形態としては、例えば以降説明する

構成としたうえで検査を行うようにされる。

図 3 は、第 1 の実施の形態における第 1 例となるもので、線欠陥として、データ線についての断線を検査する場合に対応したデータ線テスト回路 11 の内部構成例を示している。

5 図 2 に示すレイアウト構造を前提とすると、データ線 D_n 、 D_{n+1} は、隣接して配置されていた。そこで、このことに基づいて、データ線テスト回路 11 では、全データ線のうちで、これら 2 つのデータ線 D_n 、 D_{n+1} については、1 つの AND ゲート 12 に、その端部を接続することとしている。

10 これにより、AND ゲート 12 では、データ線 D_n 、 D_{n+1} について、データ線駆動回路 3 とは反対側の端部に生じる電位が論理値として入力されることになる。そして、その入力について論理積による論理演算を行って、その演算結果としての論理値を、検査出力端子 17 から出力することになる。なお、検査出力端子 17 は、例えばここでは図示し
15 ていない検査装置などの検出入力端子などと接続される。これにより、例えば検査作業者は、検査装置の表示などを監視することで、AND ゲート 12 の出力としての検査結果を認識することができる。

 なお、ここでは図示していないが、データ線テスト回路 11 においては、データ線 D_n 、 D_{n+1} 以外の他のデータ線と接続された複数の論
20 理回路が形成されているものである。ここでは、説明の便宜上、データ線 D_n 、 D_{n+1} に対応した AND ゲート 12 のみを示している。

 上記のようにして構成した場合、データ線 D_n 、 D_{n+1} についての断線については、次に図 4 A 乃至図 4 D により説明するようにして検査
 することができる。

25 ここで、周囲の配線レイアウト構造としては次のことが分かっていることとする。つまり、データ線 D_n に対して H レベルを印加して駆動し

た場合において、断線の無い無欠陥の状態では、そのままHレベルにより駆動されることになるのであるから、このHレベルに対応した電位が生じるものとされる。これに対して、データ線 D_n が断線していると、Hレベルに対応しない低電位が生じるものとされる。また、データ線 D_{n+1} についても、このことは同様とされていることとする。

そこで、この場合の断線の検査にあたっては、検査用駆動信号として、データ線駆動回路3から、データ線 D_n 、 D_{n+1} の各々に対しては、それぞれ同時に、Hレベル（論理値1）に相当するレベルを印加するようにされる。

なお、検査を行う場合においては、データ線駆動回路3では、前述したように通常の表示の場合とは異なる信号印加動作を行うことになる。このような検査のときに対応したデータ線駆動回路3の検査用駆動信号の印加動作は、例えばここでは図示しない外部の検査装置などにより制御されるべきものとなる。

図4A乃至4Dは、検査用駆動信号の論理値パターンと、データ線 D_n 、 D_{n+1} の状態（断線の有無）と、これに応じた、ANDゲート12への論理値入力パターン（ゲート入力）及び論理積の演算出力（ゲート出力：検査出力端子17からの出力となる）の関係を示している。

先ず、図4Aに示すようにして、データ線 D_n 、 D_{n+1} に対してHレベルの検査用駆動信号を印加したとして、データ線 D_n 、 D_{n+1} が共に断線していない無欠陥の状態にあるとすれば、これらデータ線 D_n 、 D_{n+1} に生じる電位としても、共にHレベルに対応したものとなるので、検査出力端子17であるゲート出力としては、Hレベルとなる。

また、図4Bに示すようにして、データ線 D_n は断線していないが、データ線 D_{n+1} が断線している場合には、データ線 D_n にはHレベル対応の電位が生じるのに対して、データ線 D_{n+1} には、Lレベル対応

の電位が生じ、これらの電位がANDゲート12に入力される。このため、ANDゲート12の出力としてはLレベルになる。

また、図4Cに示すようにして、データ線 D_n が断線し、データ線 D_{n+1} が断線していない場合にも、一方のデータ線 D_n にはLレベル対応の電位が生じるのに対して、他方のデータ線 D_{n+1} には、Hレベル対応の電位が生じることになるので、これらの論理積をとるANDゲート12の出力としてはLレベルになる。

さらに、図4Dに示すようにして、データ線 D_n 、 D_{n+1} が共に断線している場合には、データ線 D_n 、 D_{n+1} の両方でLレベル対応の電位が生じることになるので、この場合にも、ANDゲート12の出力はLレベルになる。

このようにして、図4A乃至図4Dに示した場合においては、ANDゲート12からの出力として、Hレベルが出力されていれば、データ線 D_n 、 D_{n+1} は共に断線のない状態であり、Lレベルが出力されていれば、データ線 D_n 、 D_{n+1} のうちの少なくとも何れか1本が断線している状態にあることを判定できることになる。

また、上記の場合とは逆に、図2に示した物理的配線レイアウト構造とされたうえで、データ線 D_n 、 D_{n+1} について、断線しているときには他の配線の影響でHレベルに対応した電位が生じる状態となるような周囲の配線の電位設定となっている場合に対応した検査のための構成について説明する。

そこで、第1の実施の形態の第2例として、上記した場合に対応した、データ線テスト回路11の構成例を図5に示す。なお、この図において図3と同一部分には同一符号を付して説明を省略する。

この場合としては、図示するように、データ線 D_n 、 D_{n+1} に対応しては、ANDゲート12に代えて、NORゲート13を設けるように

される。つまり、データ線駆動回路 3 とは反対側のデータ線 D_n 、 D_{n+1} の端部を、NOR ゲート 13 の入力に接続する。この場合には、NOR ゲート 13 の演算結果が、検査出力端子 17 から出力されることになる。

- 5 そして、この場合においては、データ線駆動回路 3 からは、データ線 D_n 、 D_{n+1} に対する検査用駆動信号として、同時に L レベルに対応する信号の印加を行うようにされる。

この図 5 としての構成に対応しては、図 6 A 乃至図 6 D に示すようにして、検出出力が得られる。

- 10 先ず、図 6 A は、データ線 D_n 、 D_{n+1} が共に断線していない無欠陥の状態にある場合に対応している。ここでは前述のようにして、データ線 D_n 、 D_{n+1} に対して L レベルの検査用駆動信号を印加しているが、データ線 D_n 、 D_{n+1} が共に断線しておらずに無欠陥であれば、これらデータ線 D_n 、 D_{n+1} に生じる電位としても、共に L レベルに
15 対応したものとなる。従って、この場合には、NOR ゲート 13 に (L、L) が入力され、演算出力として H レベルが得られることになる。

- また、図 6 B に示すようにして、データ線 D_n は断線していないが、データ線 D_{n+1} が断線している場合には、データ線 D_n は、そのまま L レベルで駆動されるから L レベル対応の電位が生じるのに対して、データ線 D_{n+1} には、他の配線の影響で H レベル相当の電位が生じ、こ
20 れらの電位が NOR ゲート 13 に入力される。このため、NOR ゲート 13 の出力としては L レベルになる。

- また、図 6 C に示すようにして、データ線 D_n が断線し、データ線 D_{n+1} が断線していない場合には、データ線 D_n には H レベル相当の電位が生じ、データ線 D_{n+1} には、そのまま L レベル対応の電位が生じ
25 ることになるので、これらの論理積をとる NOR ゲート 13 の出力とし

てはLレベルになる。

さらに、図6Dに示すようにして、データ線 D_n 、 D_{n+1} が共に断線している場合には、データ線 D_n 、 D_{n+1} の両方でHレベル相当の電位が生じることになるので、この場合にも、NORゲート13の出力はLレベルになる。

このようにして、図6A乃至図6Dに示した場合においても、NORゲート13からの出力として、Hレベルが出力されていることで、データ線 D_n 、 D_{n+1} は共に断線のない無欠陥の状態であり、Lレベルが出力されていれば、データ線 D_n 、 D_{n+1} のうちの少なくとも何れか1本が断線している状態にあることを判定することができる。

第1の実施の形態として、第1例としての図3乃至図4D、若しくは第2例としての図5乃至図6Dは、データ線の線欠陥の種類として、断線についての検査を行うための構成とされていたが、続いて、データ線の線欠陥の種類として、他の配線との短絡の有無についての検査を行うための構成について説明する。

ここでも、図2に示した物理的な配線レイアウト構造の下で、データ線 D_n 、 D_{n+1} の各々についての短絡の有無についての検査を行う場合を例に挙げることにする。

上記データ線 D_n 、 D_{n+1} の短絡についての有無を検査する場合に
は、先ず短絡状態の可能性として、データ線 D_n 、 D_{n+1} 間が短絡している状態、また、データ線 D_n 、 D_{n+1} 間が短絡していなくとも、データ線 D_n 、 D_{n+1} の少なくとも何れか一方が、他の隣接する配線と短絡している状態とを考える必要がある。そして、両者の何れの場合にも対応して短絡の有無についての的確な判定結果が得られるようにする必要がある。

上記したことを考慮した結果、第1の実施の形態の第3例としては、

図 7 に示すようにして、データ線テスト回路 11 において EXOR (Exclusive OR) ゲート 14 を設け、この EXOR ゲート 14 の入力と、データ線 D_n , D_{n+1} の端部とを接続するようにした。なお、図 7 において、図 3, 図 5 と同一部分には同一符号を付して説明を省略する。

5 そして、この場合においては、データ線駆動回路 3 からは、データ線 D_n , D_{n+1} に対してそれぞれ (H, L) に対応する検査用駆動信号を印加するようにされる。また、これだけではなく、印加レベルを入れ替えるようにして、それぞれ (L, H) による検査用駆動信号も印加するようにされる。

10 この場合における検査用駆動信号と、検出出力との関係を図 8 A 乃至図 8 I に示す。

図 8 A 乃至図 8 F には、データ線 D_n , D_{n+1} に対して (H, L) の組み合わせパターンによる検査用駆動信号を印加した場合が示され、図 8 G ~ 図 8 L には、データ線 D_n , D_{n+1} に対して (L, H) の組
15 み合わせパターンによる検査用駆動信号を印加した場合が示されている。また、図において左右で隣り合うようにして示される、図 8 A は図 8 G と、図 8 B は図 8 H と、図 8 C は図 8 I と、図 8 D は図 8 J と、図 8 E は図 8 K と、図 8 F は図 8 L との各組は、同じデータ線 D_n , D_{n+1} の状態を対応させている。

20 先ず、図 8 A に示すようにして、データ線 D_n , D_{n+1} に対して (H, L) の組み合わせパターンによる検査用駆動信号を印加したとき、データ線 D_n , D_{n+1} が共に短絡していない無欠陥である場合には、それぞれ印加された検査用駆動信号により駆動されることになる。このため、データ線 D_n , D_{n+1} にもそれぞれ (H, L) に相当する電位が生じ、
25 これが EXOR ゲート 14 に入力されるので、演算出力は H となる。

また、図 8 A と同じ無欠陥の状態で、図 8 G に示すようにして、検査

用駆動信号のパターンを入れ替えて、データ線 D_n 、 D_{n+1} にそれぞれ（L，H）の検査用駆動信号を印加したとする。

この場合にも、データ線 D_n 、 D_{n+1} にはそれぞれ（L，H）に相当する電位が生じる。つまり、互いに反転した電位が生じる。そして、

5 この電位がEXORゲート14に入力されるので、演算出力はHとなる。

このようにして、データ線 D_n 、 D_{n+1} がどの配線とも短絡していない、無欠陥の状態であるとき、データ線 D_n 、 D_{n+1} に印加すべき検査用駆動信号のパターンを（H，L）（L，H）の間で入れ替えたとしても、何れの場合にも、EXORゲート14からはHレベルの演算出力が得られる。

つまり、検査時において、（H，L）（L，H）による各パターンの検査用駆動信号を入力した場合において、それぞれでHレベルのEXORゲート14の演算出力が得られたのであれば、データ線 D_n 、 D_{n+1} については無欠陥であることが判定できることになる。

15 また、図8Bに示すようにして、データ線 D_n 、 D_{n+1} 間が短絡している状態のもとで、同じく、データ線 D_n 、 D_{n+1} に対して（H，L）の組み合わせパターンによる検査用駆動信号を印加しているときには、データ線 D_n 、 D_{n+1} は、それぞれ、Hレベル又はLレベルの何れかに相当する共通の電位が生じることになると考えられる。つまり、
20 H／Lレベルの何れとなるにせよ、同じ論理値に対応する電位を生じる。このため、EXORゲート14の演算出力としてはLレベルとなる。

また、図8Hに示すようにして、図8Bと同じく、データ線 D_n 、 D_{n+1} 間が短絡している状態のもとで、データ線 D_n 、 D_{n+1} に対する検査用駆動信号の組み合わせパターンを入れ替えて、（L，H）のパターンにより印加したとする。このときにも、上記図8Bの場合と同様に
25 して、データ線 D_n 、 D_{n+1} は、それぞれ、Hレベル又はLレベル

の何れかに相当する共通の電位が生じることになるから、E X O R ゲート 1 4 の演算出力としては L となる。

従って、データ線 D_n 、 D_{n+1} 間が短絡しているときには、(H、L) (L、H) による各パターンの検査用駆動信号を入力すると、各パターンにで共に L レベルの E X O R ゲート 1 4 の演算出力が得られる。

また、図 8 C に示すようにして、データ線 D_n は短絡していない無欠陥の状態であるが、データ線 D_{n+1} が他の配線と短絡して、この場合には H レベルに引っ張られている状態のもとで、データ線 D_n 、 D_{n+1} に対して (H、L) の組み合わせパターンによる検査用駆動信号を印加したとする。

このときには、データ線 D_n 、 D_{n+1} は、共に H レベルの電位を生じることになる。従って、この場合には、E X O R ゲート 1 4 の演算出力としては L となる。

そして、図 8 I に示すようにして、図 8 B と同じく、データ線 D_n 、 D_{n+1} 間が短絡している状態のもとで、データ線 D_n 、 D_{n+1} に対する検査用駆動信号の組み合わせパターンを入れ替えて、(L、H) のパターンにより印加したとする。

この場合には、データ線 D_n には、L レベルの検査用駆動信号により駆動されることで L レベル相当の電位が生じるが、データ線 D_{n+1} にも、このときの検査用駆動信号と同じ、H レベルの電位を生じることになる。従って、この場合には、データ線 D_{n+1} が短絡しているのにもかかわらず、データ線 D_n 、 D_{n+1} が無欠陥のときと同じく、E X O R ゲート 1 4 からは H レベルの演算出力が得られることになる。

つまり、データ線 D_n は無欠陥だが、データ線 D_{n+1} が H レベルとなる状態で短絡している状態では、E X O R ゲート 1 4 の演算出力は、データ線 D_n 、 D_{n+1} に対する検査用駆動信号パターンが (H、L)

のときにはLレベル、(L, H)のときにはHレベルとなるようにして異なる値となる。

また、図8Dに示すようにして、データ線 D_n は短絡していない無欠陥の状態であるが、データ線 D_{n+1} が他の配線と短絡して、この場合
5 にはLレベルに引っ張られている状態のもとで、データ線 D_n , D_{n+1} に対して(H, L)の組み合わせパターンによる検査用駆動信号を印加したとする。

このときには、データ線 D_n にはHレベル相当の電位が生じ、データ線 D_{n+1} にLレベルの電位を生じることになるので、EXORゲート
10 14からはHレベルの演算出力が得られる。

これに対して、図8Jに示されるようにして、上記図8Dと同じく、データ線 D_n は無欠陥で、データ線 D_{n+1} が短絡してLレベルに引っ張られている状態で、データ線 D_n , D_{n+1} に対して(L, H)の組み合わせパターンの検査用駆動信号を印加したとすると、データ線 D_n ,
15 D_{n+1} の電位は共にLレベルとなって、LレベルのEXORゲート14の演算出力が得られる。

つまり、このような欠陥が生じている状態では、EXORゲート14の演算出力は、データ線 D_n , D_{n+1} に対する検査用駆動信号パターンが(H, L)のときにはHレベル、(L, H)のときにはLレベルと
20 なるようにして異なる値をとることになる。

続いては、図8Eに示すようにして、データ線 D_n がHレベルで短絡しているのに対して、データ線 D_{n+1} は無欠陥である場合において、データ線 D_n , D_{n+1} に対して(H, L)の組み合わせパターンによる検査用駆動信号を印加した場合には、結果的に、検査用駆動信号と同じ論理値パターンが入力されることとなって、EXORゲート14からはHレベルの演算出力が出力される。

また、図 8 K に示されるようにして、上記図 8 E と同じデータ線の状態で、データ線 D_n 、 D_{n+1} に対して (L, H) の組み合わせパターンの検査用駆動信号を印加したとすると、データ線 D_n 、 D_{n+1} の電位は共に H レベルとなって、L レベルの EXOR ゲート 14 の演算出力
5 が得られる。

つまり、この状態の欠陥が生じている場合でも、EXOR ゲート 14 の演算出力は、データ線 D_n 、 D_{n+1} に対する検査用駆動信号パターンが (H, L) のときには H レベル、(L, H) のときには L レベルとなるようにして異なる値をとる。

10 また、図 8 F に示すようにして、データ線 D_n が L レベルで短絡しているのに対して、データ線 D_{n+1} は無欠陥である場合において、データ線 D_n 、 D_{n+1} に対して (H, L) の組み合わせパターンによる検査用駆動信号を印加した場合には、EXOR ゲート 14 に対して (L, L) の入力が行われることになる。従って、EXOR ゲート 14 の演算
15 出力は L レベルとなる。

また、図 8 I に示すようにして、上記図 8 F と同じデータ線の状態で、データ線 D_n 、 D_{n+1} に対して (L, H) の組み合わせパターンの検査用駆動信号を印加したとすると、データ線 D_n の電位は短絡で L レベル、データ線 D_{n+1} の電位は、検査用駆動信号に駆動されて H レベル
20 となって、EXOR ゲート 14 では演算出力として H レベルを出力することになる。

従って、この状態の欠陥が生じている場合では、EXOR ゲート 14 の演算出力は、データ線 D_n 、 D_{n+1} に対する検査用駆動信号パターンが (H, L) のときには L レベル、(L, H) のときには H レベルと
25 なるようにして異なる値をとることになる。

上記図 8 A 乃至図 8 L の説明から分かるように、データ線 D_n 、 D_n

+ 1 に対して (H, L) / (H, L) の組み合わせパターンによる検査用駆動信号を印加して、そのときの EXOR ゲート 14 の演算出力の論理値のパターンをみることで、データ線 D_n , D_{n+1} についての短絡に関する欠陥状態を把握することが可能になる。

5 つまり、図 8 A 及び図 8 G に示すように、データ線 D_n , D_{n+1} に対する検査用駆動信号の組み合わせパターン (H, L) / (H, L) に対して、共に H レベルの EXOR ゲート 14 の演算出力が得られた場合においてのみ、データ線 D_n , D_{n+1} について短絡が生じていない無欠陥の状態であることが示される。

10 これに対して、データ線 D_n , D_{n+1} に対する検査用駆動信号の組み合わせパターン (H, L) / (H, L) に対して、EXOR ゲート 14 の演算出力のパターンが共に H レベルとならない場合、つまり、L / L、H / L、若しくは L / H である場合には、データ線 D_n , D_{n+1} の少なくともいずれか一方について短絡が生じていることが示されること
15 になる。

そのうちでさらに、L / L となる EXOR ゲート 14 の演算出力のパターンは、図 8 B 及び図 8 H に示したように、データ線 D_n , D_{n+1} 間で短絡しているときにのみ得られるものであるから、このパターンが現れたとすれば、データ線 D_n , D_{n+1} 間での短絡が生じていること
20 が判定できる。

また、EXOR ゲート 14 の演算出力のパターンが、H / L である場合には、図 8 B 及び図 8 J、若しくは、図 8 E 及び図 8 K に示したように、データ線 D_{n+1} が L レベルで短絡している状態、若しくは、データ線 D_n が H レベルで短絡している状態の何れかであると判定できる。

25 さらに、EXOR ゲート 14 の演算出力のパターンが、L / H である場合には、図 8 C 及び図 8 I、若しくは、図 8 F 及び図 8 I に示したよ

うに、データ線 D_{n+1} が H レベルで短絡している状態、若しくは、データ線 D_n が L レベルで短絡している状態の何れかであると判定できる。

また、これまで図 2 ～ 図 8 L により説明してきた検査のための構成は、ゲート線側についても全く同様に適用できるものである。

- 5 つまり、実際の半導体基板の配線レイアウト構造に基づいてゲート線を選択し、例えば図 3，図 5，図 7 に示すようなデータ線テスト回路 11 の内部の論理回路の構成を、ゲート線テスト回路 10 の内部に形成する。そして、ゲート線駆動回路 2 から所要のゲート線に、予め決めておいた H / L 何れかのレベルの検査用駆動信号を印加して、ゲート線テスト回路 10 の論理回路から出力される論理演算結果を得る。そして、この論理演算結果に基づき、ゲート線についての線欠陥についての判定を行う。

- 15 このようにして第 1 の実施の形態では、先ず、半導体基板において、データ線（又はゲート線）を含む配線のレイアウト構造に基づき、線欠陥（断線、短絡）を検査できるようにすることを考慮して、検出対象とする 2 以上のデータ線（及びゲート線）を選択する。また、この選択したデータ線（又はゲート線）を入力して論理値による検出結果を出力するための、データ線テスト回路 11（又はゲート線テスト回路 10）内の論理演算回路（論理演算式）も決定する。

- 20 ここで、これら検出対象となるデータ線（又はゲート線）の選択と、論理演算回路（論理演算式）との組み合わせは、上記した配線レイアウト構造に基づいたものである。しかしながら、特に論理演算回路（論理演算式）の決定に関しては、第 1 及び第 2 例の断線検査では AND ゲート 12 又は NOR ゲート 13 であるのに対して、第 3 例の短絡検査では EXOR ゲート 14 とされていることから分かるように、例えば検査
25 項目に応じて異なってくるものとなる。つまり、第 1 の実施の形態では、

配線レイアウト構造をだけではなく、検査項目も、データ線（又はゲート線）の選択と、論理演算回路（論理演算式）との組み合わせの決定要素となる。

そして、このようなデータ線（及びゲート線）の選択及び、論理演算の演算式設定に基づいて、例えば、図 3， 5， 7 に例示したような論理演算回路を備えるデータ線テスト回路 11（ゲート線テスト回路 10 にも適用できる）を構成する。このような構成を採った上で、上記した論理演算の演算式設定に基づいて決まる、論理値の組み合わせパターンによる検査用駆動信号をデータ線（及びゲート線）に印加して、データ線テスト回路 11（論理演算回路）からの出力を観測して、線欠陥についての判定を行うようにされる。

このような構成では、欠陥の判定は、論理演算結果としての論理値に基づいて行われることになるが、これは即ち、従来のようにして、アナログの電流レベルの変化に基づく判定ではなく、1， 0（H、L）によるデジタル値に基づいた判定であることを意味する。これにより、従来のようにして、アナログ電流レベルの誤差などを考慮する必要がなくなり、2 値に応じた判定に基づいて的確な判定結果が得られることになる。また、これに伴って、例えば、検査作業の簡略化、及び時間短縮などが図られ、作業効率が向上されることになる。

また、確認のために述べておくと、本発明においていうところの、配線のレイアウト構造は、配線における電位設定の状態も含む概念である。つまり、物理的な配線のレイアウト構造の要素に加え、レイアウトされた配線に設定された電位が、例えばグラウンド電位や電源電位などをはじめ、どのような電位が設定されているのかということも要素に含まれる。

そして、本実施の形態としては、上記もしたように、半導体基板の配線レイアウト構造として、上記した配線の電位設定を考慮して、線欠陥

を検出可能な論理回路を形成し、さらに、この論理回路に対応してデータ線に印加すべき検査用駆動信号のH/Lのレベルを決定するようにしている。

ここで、例えばシールド配線をはじめとして、固定電位とすべき配線
5 については、どのような電位とするのか（具体的にはグランド電位と電源電位の何れとするのか）は、半導体基板の設計時において決めるようにされる。従って、データ線テスト回路11又はゲート線テスト回路10の内部の論理回路構成は、この設計時において決定された配線の電位に応じて、線欠陥を検出可能なように決定すればよいということになる。

10 またこれは、逆の言い方をすれば、半導体基板の設計の段階において、線欠陥を検出可能なように配線の電位を設定すればよいということでもある。

ところで、第1の実施の形態において、上記第1例としての図3乃至図4Dの構成、第2例としての図5乃至図6Dの構成では、データ線テスト回路11において、断線を検査することに対応してANDゲート1
15 2又はNORゲート13のみが備えられている。また、第3例としての図7乃至図8Lの構成は、短絡を検査することに対応したEXORゲート14が備えられている。つまり、第1の実施の形態における第1例、第2例、第3例の各構成は、データ線(D_n , D_{n+1})の線欠陥として、断線のみが検査可能、あるいは短絡のみが検査可能にされた構成と
20 されている。

しかしながら、これらの構成はあくまでも説明を簡単なものとするための便宜であり、上記各図による構成は、図2に示した配線レイアウトを想定した場合における、データ線 D_n , D_{n+1} についての、断線と
25 短絡の状態のそれぞれを検査するための基本的構成を示しているのに過ぎない。

そこで、例えば断線と短絡の両者を検査可能とした場合の構成例を、第1の実施の形態の第4例として、図9に示しておく。なお、この図9としても、図2に示す配線レイアウト構造を前提としており、そのうえで、データ線 D_n 、 D_{n+1} についての断線と短絡の両者の状態を検査可能な構成例を示しているものとされる。

そして図9においては、データ線テスト回路11には、データ線 D_n 、 D_{n+1} に対応してANDゲート12とEXORゲート14とが備えられる。このような場合、データ線テスト回路11としては、ANDゲート12の演算結果を出力する検出出力端子17aと、EXORゲート14の演算結果を出力する検出出力端子17bとの2つの検出出力端子を備えればよい。そして、データ線駆動回路3とは反対側のデータ線 D_n 、 D_{n+1} の各端部を2つに分岐させ、それぞれANDゲート12とEXORゲート14に対して入力させる。

この構成は、図3に示した断線検査のための構成と、図7に示した短絡検査との構成を複合させたものである。

なお、この場合の断線の検査に対応しては、図3に示したANDゲート12を備える構成を採用している。つまり、ここでは、データ線 D_n 、 D_{n+1} の断線状態としては、Hレベルにより駆動したとしても、Hレベルに相当しない低電位が生じる状態となる配線レイアウトであることを前提としている。

そして、断線を検査するときには、図4A乃至図4Dにより説明したようにして、データ線駆動回路3からは、データ線 D_n 、 D_{n+1} に対して共にHレベルの検査用駆動信号を出力させるようにする。そして、データ線テスト回路11の検出出力端子17aに出力される、ANDゲート12の演算出力を監視することでデータ線 D_n 、 D_{n+1} についての断線を検査するようにされる。

また、短絡を検査するときには、図 8 A 乃至図 8 L にて示したように、データ線 D_n 、 D_{n+1} に対して (H, L) となる組み合わせパターンの検査用駆動信号と、(L, H) となる組み合わせパターンの検査用駆動信号をそれぞれ印加する。また、この場合には、EXOR ゲート 14

5 の出力をデータ線テスト回路 11 の検査出力端子 17 b から取り出すことになる。そして、上記 2 つの組み合わせパターンの検査用駆動信号を印加したときの、検査出力端子 17 b から得られる EXOR ゲート 14 の演算結果が H/L の何れであるのかに基づいて、短絡についての検査を行うようにされる。

- 10 また、変形例として、図 9 の場合と同じく、データ線 D_n 、 D_{n+1} についての断線及び短絡の状態を検査する構成としては、データ線テスト回路 11 を図 10 のようにして構成することも考えられる。

この図 11 に示すデータ線テスト回路 11 においては、先ず、データ線 D_n 、 D_{n+1} に対応してスイッチ回路 $Sw(n)$ 、 $Sw(n+1)$

15 を形成するようにしている。スイッチ回路 $Sw(n)$ 、 $Sw(n+1)$ は、それぞれ端子 t_1 に対して端子 t_2 、 t_3 のいずれかが択一的に接続されるようにして切換が行われる。

なお、これらのスイッチ回路 $Sw(n)$ 、 $Sw(n+1)$ は、例えば半導体基板上に形成される半導体スイッチにより形成されればよい。

- 20 また、これらのスイッチ回路 $Sw(n)$ 、 $Sw(n+1)$ の切換制御は、例えば図示するようにして、切換制御のためのラインを引き出して、データ線テスト回路 11 に設けた切換入力端子 T_{m1} 、 T_{m2} に接続する。そして、例えばここでは図示していない外部の検査装置などを切換入力端子 T_{m1} 、 T_{m2} に接続し、検査装置から切換入力端子 T_{m1} 、
- 25 T_{m2} に、スイッチ切換のための制御信号を出力させるようにすればよい。なお、この場合には、スイッチ回路 $Sw(n)$ 、 $Sw(n+1)$ は、

後述の説明からも理解されるように、その切換状態が連動するものとされることから、例えば、切換入力端子 T_{m1} 、 T_{m2} を共通化して1つとし、この共通化された切換入力端子に制御信号を入力して、スイッチ回路 $Sw(n)$ 、 $Sw(n+1)$ が連動して切り換えられるように構成してもよい。

そして、スイッチ回路 $Sw(n)$ 、 $Sw(n+1)$ の端子 t_1 に対しては、それぞれデータ線 D_n 、 D_{n+1} の端部を接続する。また、スイッチ回路 $Sw(n)$ 、 $Sw(n+1)$ の端子 t_2 をそれぞれANDゲート12に入力させ、スイッチ回路 $Sw(n)$ 、 $Sw(n+1)$ の端子 t_3 を、それぞれEXORゲート14に入力させる。

また、ANDゲート12及びEXORゲート14の出力は、この場合には、ともに検査出力端子17に接続される。

このような構成において、断線の検査を行う場合には、先ず、例えば上記のようにして検査装置などから切換入力端子 T_{m1} 、 T_{m2} に対して、端子 t_1 が端子 t_2 と接続されるようにするための制御信号を出力させる。これにより、データ線 D_n 、 D_{n+1} の端部は、ともにANDゲート12と接続されることになる。そして、図4A乃至図4Dにて説明したように、データ線 D_n 、 D_{n+1} に対して共にHレベルの検査用駆動信号を出力させ、検査出力端子17から出力されるANDゲート12の出力を監視することで、断線の欠陥の有無を判定できることになる。

また、短絡の検査を行う場合には、検査装置などから切換入力端子 T_{m1} 、 T_{m2} に対して、端子 t_1 が端子 t_2 と接続されるようにするための制御信号を出力させて、データ線 D_n 、 D_{n+1} の端部が、ともにEXORゲート14と接続されるようにする。

そして、図8A乃至図8Lにて説明したように、データ線 D_n 、 D_{n+1} に対して(H, L)となる組み合わせパターンの検査用駆動信号と、

(L, H) となる組み合わせパターンの検査用駆動信号をそれぞれ印加して、各組み合わせパターンの検査用駆動信号を印加したときに得られる EXOR ゲート 14 の演算結果 (検査出力端子 17 の出力) が H/L の何れであるのかに基づいて、短絡についての検査を行うようにされる。

5 なお、これら図 9 及び図 10 に示した構成も、ゲート線の断線、短絡をとともに検査可能とする構成として全く同様に適用できるものである。

また、これまでの第 1 の実施の形態として各図により説明した構成は、あくまでも図 2 により説明したような配線レイアウト構造におけるデータ線 D_n , D_{n+1} についての断線、短絡を検査するための例にすぎないものである。

10 従って、実際における配線レイアウト構造によっては、例えば断線のみ、若しくは短絡のみを検査するためであっても、複数の特定の論理演算を行う論理演算回路を、必要とされる接続態様により接続して、これらの回路から出力される最終的な演算結果により欠陥判定を行うような構成とされる場合もある。

また、上記した例では、論理回路 (AND ゲート 12、NOR ゲート 13、EXOR ゲート 14) に対して 2 入力としている例が示されているが、これは図 2 に示した配線レイアウト構造から、データ線の検査対象が隣接するデータ線 D_n , D_{n+1} であることに依るものである。従

20 って、実際の配線レイアウト構造に応じては、論理回路に対する入力が 3 入力以上となる場合もある。

何れにせよ、本実施の形態としては、論理値としての検出出力により、データ線及びゲート線についての線欠陥を検査できるものである。また、検査のためにデータ線テスト回路 11、及びゲート線テスト回路 10 において形成される回路も、配線レイアウト構造に応じた論理演算回路の

25 集合とされるから、たとえ複数の論理演算回路を接続したような場合で

あっても複雑になることはなく、比較的簡単、単純な構成にとどめることができる。

また、これまでに説明した第1の実施の形態としての各構成についての検査の手順として、例えばデータ線（又はゲート線）を、必要な本数
5 の組ごとに順次検査用駆動信号を印加して駆動していくようにすれば、どのデータ線（又はゲート線）、あるいはどのあたりの領域で線欠陥が生じているのかという、線欠陥についての位置的特定が可能となり、欠陥についてのその後の解析などに役立てることができる。

或いは逆に、データ線（又はゲート線）の全て（或いは或る領域内に
10 まとまった多数のデータ線群（又はゲート線群））を同時に検査用駆動信号により駆動するという検査手順であってもよい。なお、この場合には、例えば、全てのデータ線（又はゲート線）に対して、その線の位置に応じて必要とされるH/Lの何れかのレベルを設定して、検査用駆動信号を印加するようにされるべきこととなる。そして、このようにして、
15 多数のデータ線群（又はゲート線群）を同時に駆動すれば、これらのデータ線群（又はゲート線群）における線欠陥の検査を一括して同時に行うことができるわけであるから、この場合には、それだけ検査時間を短縮できることになる。

なお、このような一括的な検査を行う場合には、必要に応じて、データ
20 タ線群（又はゲート線群）の端部をまとめて1つとして、データ線テスト回路11（又はゲート線テスト回路10）内の論理演算回路に入力する構成とすることが考えられる。

例えば、従来においても、上記のようにして、データ線群（又はゲート線群）の端部をまとめて1つにして欠陥検査を行うということは考え
25 られている。しかし、従来においては、アナログ電流レベルによる検出なので、欠陥に応じたレベル変化は僅かであり、このような電流レベル

により欠陥を判定することは非常に難しいものであった。しかしながら、本実施の形態としては、あくまでもその検査出力は論理値として得られるようにされており、2値による判定となる。つまり、欠陥判定はこれまでよりもはるかに容易となる。

- 5 また、データ線について、これまでの説明のようにして線欠陥についての検査を行うこととして、データ線に検査用駆動信号を印加して駆動しているのと同時に、検査対象とする1以上のゲート線を駆動するという検査手順も考えられる。なお、確認のために述べておくと、ゲート線の駆動には、ゲート線駆動回路2を用いる。
- 10 このような検査手順とすれば、画素容量の欠陥を検査することができる。つまり、画素容量が無欠陥であれば、駆動されたゲート線（例えば G_m の1本であるとする）に接続された画素スイッチ（例えば $\cdots S_{m,n-1}$ 、 $S_{m,n}$ 、 $S_{m,n+1} \cdots$ ）がオンとなって、この画素スイッチに接続された画素容量（例えば $\cdots C_{m,n-1}$ 、 $C_{m,n}$ 、 $C_{m,n+1} \cdots$ ）に正常に電荷が蓄積されて、データ書き込みの状態に対応した電位が発生することになる。しかしながら、画素容量の欠陥として短絡が生じたのであれば、このような電位の発生は生じないことになる。
- 15

このような画素容量の短絡の有無に応じては、検査用駆動信号が印加されているデータ線にも電位変化が生じることになる。つまり、その画素容量及びその周辺の配線レイアウト構造に応じて、短絡した画素容量はグランド電位や電源電位に引っ張られる。

20

そこで、例えば、データ線のみを検査用駆動信号により駆動したときには線欠陥がないことが判定されたのにもかかわらず、例えば、ゲート線を同時に駆動して、H/Lの必要なレベルの検査用駆動信号をデータ線に印加したところ、データ線から得られる論理演算の出力（論理演算回路の出力）が、正常な場合とは異なる論理値を出力したとする。この

25

ような検査結果を総合することで、画素容量の短絡などの欠陥を判定できることになる。

図 1 1 は、本発明の第 2 の実施の形態の第 1 例としての液晶表示装置の回路構成例を示している。

5 この図に示される液晶表示装置 1 の基本構造としては、先に図 1 に示した第 1 の実施の形態の各例と同様とされる。ただし、データ線の線欠陥を検査するとした場合には、データ線テスト回路 1 1 について下記のようにして異なる構成を採ることになる。

10 図 1 1 に示すデータ線テスト回路 1 1 においては、コンパレータ 1 5 が示されている。

このコンパレータ 1 5 の非反転入力には、データ線 D_n の端部が接続される。反転入力には基準レベル V_{REF} が入力される。この場合のコンパレータ 1 5 の出力はバッファアンプ 1 6 により増幅されて、検査出力端子 1 7 から出力される。なお、第 1 の実施の形態として図 3, 図 5, 図 7 に示したような論理回路の出力などにも、バッファアンプを接続してよい。

このようにして、第 2 の実施の形態としては、データ線の端部に生じる電位と、予め決められた所定電位の基準レベル V_{REF} とを比較する、比較回路が備えられることになる。なお、この図においては、データ線 D_n についての検査を行うための比較回路のみが示されているが、実際には、例えば他のデータ線にも対応して比較回路等が備えられればよい。

このような回路構成によりデータ線 D_n の線欠陥についての検査を行う場合には、例えば、レベルが異なる検査用駆動信号 V_H/V_L をそれぞれ印加するようにされる。検査用駆動信号 V_H には、線欠陥（断線、
25 短絡）が無いとされる正常なデータ線 D_n の状態のときには、基準レベル V_{REF} よりも高いとされる電位をデータ線 D_n の端部（コンパレータ 1

5 の入力) に生じさせることのできるレベルが設定されている。逆に、検査用駆動信号 V_H には、データ線 D_n が正常の状態とされるときには、基準レベル V_{REF} よりも低いとされる電位をデータ線 D_n の端部 (コンパレータ 15 の入力) に生じさせることのできるレベルが設定されている。

- 5 従って、データ線 D_n に線欠陥が生じていない場合には、コンパレータ 15 の出力 (検査出力端子 17 の出力) は、検査用駆動信号 V_H を印加しているときには H レベルで、検査用駆動信号 V_L を印加しているときには L レベルが得られることになる。

- 10 これに対して、データ線 D_n に線欠陥が生じている場合には、コンパレータ 15 に入力されるデータ線 D_n の端部は、ある一定の電位レベルに引っ張られることになる。このため、データ線 D_n の端部の電位は、検査用駆動信号 V_H を印加しているのに、基準レベル V_{REF} より低いレベルとなる、あるいは、検査用駆動信号 V_L を印加しているのに、基準レベル V_{REF} より高いレベルとなるなどの状態が生じることになる。

- 15 この結果、コンパレータ 15 の出力 (検査出力端子 17 の出力) は、検査用駆動信号 V_H を印加しているのに L レベルとなったり、あるいは、検査用駆動信号 V_L を印加しているのに H レベルとなるなどの状態が得られることになる。このような状態となったときに、データ線 D_n については、線欠陥が生じていると判定できることになる。また、データ線
20 D_n の配線レイアウト構造から、断線、短絡したときのデータ線 D_n の端部の電位が分かっているれば、検査用駆動信号のレベル (論理値) とコンパレータ 15 の出力の論理値の組み合わせから、断線、短絡の何れの線欠陥であるのかの判定も可能とすることができる。

- また、図 12 に第 2 の実施の形態としての第 2 例を示すこととする。
25 なお、この図において図 11 と同一部分には同一符号を付して説明を省略する。

この図に示すデータ線テスト回路 11 においても、コンパレータ 15 とバッファアンプ 16 を、図 11 の場合と同様に接続した比較回路が示されている。但しこの場合には、データ線駆動回路 3 から検査用駆動信号としてデータ線 D_n に印加される信号は、或る固定レベルによる検査用駆動信号 V_D とされる。これに対して、コンパレータ 15 の反転入力に入力される基準レベルについては、 V_{REF-H} と V_{REF-L} とで切替が行われるようになっている。基準レベル V_{REF-H} は、検査用駆動信号 V_D の印加により、無欠陥であるデータ線に生じる電位よりも高い電位であり、基準レベル V_{REF-L} は、検査用駆動信号 V_D の印加により、無欠陥であるデータ線に生じる電位よりも低い電位である。

先の図 11 ではコンパレータ 15 の基準レベル V_{REF} を固定として、検査用駆動信号のレベルを切り換えていた。これに対して、上記図 12 の構成は、検査用駆動信号のレベルは固定として、コンパレータ 15 の基準レベルを切り換えているということになる。

なお、図 12 では基準レベル V_{REF-H} 、 V_{REF-L} の切替は、データ線テスト回路 11 の外部から、入力端子 18 を介して外部から基準レベル V_{REF-H} 、 V_{REF-L} としての電圧レベルを出力することで行うようになっている。このような場合、例えば、ここでは図示していない検査装置を入力端子 18 と接続して、検査装置から入力端子 18 への電圧出力を行うようにして構成すればよい。また、基準レベル V_{REF-H} 、 V_{REF-L} の切替そのものは、データ線テスト回路 11 内部にて、例えば供給電源を利用して行えるようにレベル切替回路を形成し、このレベル切替回路におけるレベル切替動作を、例えば外部の検査装置からの切替制御信号により行えるように構成することも考えられる。

このような構成での検査手順としては、データ線 D_n に検査用駆動信号 V_D を印加しながら、基準レベル V_{REF-H} / V_{REF-L} で切替を行って、コ

ンパレータ 15 の出力（検査出力端子 17 の出力）を観測するようにされる。

データ線 D_n に線欠陥が生じていない状態では、データ線 D_n の端部には、検査用駆動信号 V_D のレベルに対応した電位が生じるから、コンパレータ 15 の出力は、基準レベル VREF-H のときには L レベル、基準レベル VREF-L のときには H レベルということになる。

これに対して、データ線 D_n に線欠陥が生じており、検査用駆動信号 V_D のレベルに対応しない何らかの電位に変化していれば、コンパレータ 15 の出力は、基準レベル VREF-H であるのに H レベル、あるいは、基準レベル VREF-L であるのに L レベルとなる結果が観測される。このようなコンパレータ 15 の出力が得られることで、線欠陥が生じていることがわかる。

この図 12 の構成においても、データ線 D_n の配線レイアウト構造に依り、断線、短絡したときのデータ線 D_n の端部の電位が決まっているのであれば、検査用駆動信号のレベル（論理値）とコンパレータ 15 の出力の論理値の組み合わせから、線欠陥が断線、短絡のいずれであるのかを区別して判定できる。

このようにして、図 11 及び図 12 に示した第 2 の実施の形態の第 2 例としても、データ線テスト回路 11 からの検出出力は、H/L の論理値として得られることになるものであり、これにより、先に説明した第 1 の実施の形態の場合と同様に、検査作業はより簡単で、短時間なものとすることが可能になる。また、この場合にも、コンパレータ（比較回路）としての回路構成を採るから、データ線テスト回路 11 に形成すべき回路構成としても、複雑にはならず簡単に済む。

そして、これら第 2 の実施の形態としても、上記したことに基づく回路構成や、検査用駆動信号の印加動作を、ゲート線テスト回路 10、及

びゲート線駆動回路 2 に適用し、上記したデータ線の場合と同様に、ゲート線についても線欠陥についての検査を行うことができる。

また、第 2 の実施の形態の第 2 例としても、先の第 1 の実施の形態の各例と同様にして、検査対象とするデータ線（又はゲート線）を、必要な本数の組ごとに順次検査用駆動信号を印加して駆動していくようにすれば、線欠陥についての位置的特定が可能となり、解析などに有効である。また、データ線（又はゲート線）の全て（或いは或る領域内にまとまった多数のデータ線群（又はゲート線群））を同時に検査用駆動信号により駆動して検査することが可能である。

- 10 さらには、検査手順として、データ線とゲート線を同時に駆動することで、画素容量についての欠陥を検査できることも、第 1 の実施の形態と同様に可能である。

- 15 さらに、第 1 の実施の形態と第 2 の実施の形態とで共通となる利点としては、液晶封入前と封入後とでのいずれの工程でも、検査を行うことが可能であることが挙げられる。

- 20 これによつては、検査工程をどの工程で行うべきかについての自由度があたえられ、製造効率の向上を図ることができる。また、特に、液晶封入前の半導体基板のままの状態での検査が可能となったことにより、欠陥品に対して液晶を封入して組み込みする作業を行ってしまうことが避けられるので、この点でも製造効率は向上され、さらに、無駄な液晶を消費することが無くなるなどして製造コストの低減も有効に図られることになる。

また、本発明は、例えばメモリ素子のいわゆるビット線、ワード線の欠陥を検査することにも適用可能である。

そして本発明としては、上記のようにして、デジタル値としての検出出力に応じて、例えばデータ線又は画素スイッチ制御線などの欠陥についての検査の判定結果を得ることが可能となる。つまり、変化の微妙なアナログの電流レベル変化ではなく、0, 1 (H, L) の2値の変化に

5 基づいて判定を行うことになるので、測定誤差の影響をほぼ完全に排除できる。これにより、これまでよりも的確な判定結果が得られ、またこれに伴って検査時間も短縮することが可能となるので、それだけ、検査作業効率が向上することとなる。

請 求 の 範 囲

1. 画素スイッチと、該画素スイッチに対して接続されて画素データ
5 を保持する画素容量とからなる画素セル駆動回路が、データ線と画素スイッチ制御線との交点位置に対応してマトリクス状に配列されて形成される半導体基板に対する検査方法において、

上記半導体基板における配線のレイアウト構造及び／又は検査項目に
10 応じて2以上の上記データ線又は2以上の画素スイッチ制御線を選択し、これら選択されたデータ線の各々又は画素スイッチ制御線の各々に対して、論理演算工程が行う論理演算の演算式に応じて設定した、所要の論理値に対応するレベルの検査用駆動信号を印加する検査用駆動工程と、

上記選択された2以上のデータ線の各々、又は2以上の画素スイッチ
制御線の各々に生じる電位出力を論理値として入力して、上記レイアウト
15 構造及び／又は検査項目に応じて決定した演算式による論理演算を行う論理演算工程と、

を行うことを特徴とする検査方法。

2. データ線と画素スイッチ制御線との交点位置に対応し、画素スイッチと、該画素スイッチに対して接続されて画素データを保持する画素
20 容量とからなる画素セル駆動回路をマトリクス状に配列して形成される画像表示領域部と、

半導体基板における配線のレイアウト構造及び／又は検査項目に応じて
選択した2以上の上記データ線又は2以上の画素スイッチ制御線の各々について、論理演算手段が行う論理演算の演算式に応じて設定した、
25 所要の論理値に対応するレベルの検査用駆動信号を印加する駆動手段と、

上記検査用駆動信号の印加により、上記2以上のデータ線又は2以上

の画素スイッチ制御線に生じる電位出力を論理値として入力して、上記レイアウト構造及び／又は検査項目に応じて決定した演算式による論理演算を行い、論理演算結果を出力する論理演算手段と、

を半導体基板に形成していることを特徴とする半導体装置。

- 5 3. 半導体基板と、該半導体基板に対して対向して配置される共通電極を有する対向基板と、上記半導体基板と対向基板との間に介在する液晶層とを備えて成り、

上記半導体基板は、

- 10 データ線と画素スイッチ制御線との交点位置に対応し、画素スイッチと、該画素スイッチに対して接続されて画素データを保持する画素容量とからなる画素セル駆動回路をマトリクス状に配列して形成される画像表示領域部と、

- 15 半導体基板における配線のレイアウト構造及び／又は検査項目に応じて選択した2以上の上記データ線又は2以上の画素スイッチ制御線の各々について、論理演算手段が行う論理演算の演算式に応じて設定した、所要の論理値に対応するレベルの検査用駆動信号を印加する駆動手段と、

- 20 上記検査用駆動信号の印加により、上記2以上のデータ線又は2以上の画素スイッチ制御線に生じる電位出力を論理値として入力して、上記レイアウト構造及び／又は検査項目に基づいて決定した演算式による論理演算を行い、論理演算結果を出力する論理演算手段とが形成されている、

ことを特徴とする表示装置。

- 25 4. 画素スイッチと、該画素スイッチに対して接続されて画素データを保持する画素容量とからなる画素セル駆動回路が、データ線と画素スイッチ制御線との交点位置に対応してマトリクス状に配列されて形成される半導体基板に対する検査方法において、

検査対象である上記データ線又は画素スイッチ制御線を、所要の電圧レベルの検査用駆動信号により駆動する駆動工程と、

上記検査用駆動信号により駆動されるデータ線又は画素スイッチ制御線に生じる電位出力レベルと、所定レベルが設定された基準レベルとについて比較を行って、比較結果を論理値として出力するようにされた比較工程と、

を行うことを特徴とする検査方法。

5. データ線と画素スイッチ制御線との交点位置に対応し、画素スイッチと、該画素スイッチに対して接続されて画素データを保持する画素容量とからなる画素セル駆動回路をマトリクス状に配列して形成される画像表示領域部と、

検査対象である上記データ線又は画素スイッチ制御線を、所要の電圧レベルの検査用駆動信号により駆動する駆動手段と、

上記検査用駆動信号により駆動されるデータ線又は画素スイッチ制御線に生じる電位出力レベルと、所定レベルが設定された基準レベルとについて比較を行って、比較結果を論理値として出力するようにされた比較手段と、

を半導体基板に形成していることを特徴とする半導体装置。

6. 半導体基板と、該半導体基板に対して対向して配置される共通電極を有する対向基板と、上記半導体基板と対向基板との間に介在する液晶層とを備えて成り、

上記半導体基板は、

検査対象である上記データ線又は画素スイッチ制御線を、所要の電圧レベルの検査用駆動信号により駆動する駆動手段と、

25 上記検査用駆動信号により駆動されるデータ線又は画素スイッチ制御線に生じる電位出力レベルと、所定レベルが設定された基準レベルとに

ついて比較を行って、比較結果を論理値として出力するようにされた比較手段とが形成されている、

ことを特徴とする表示装置。

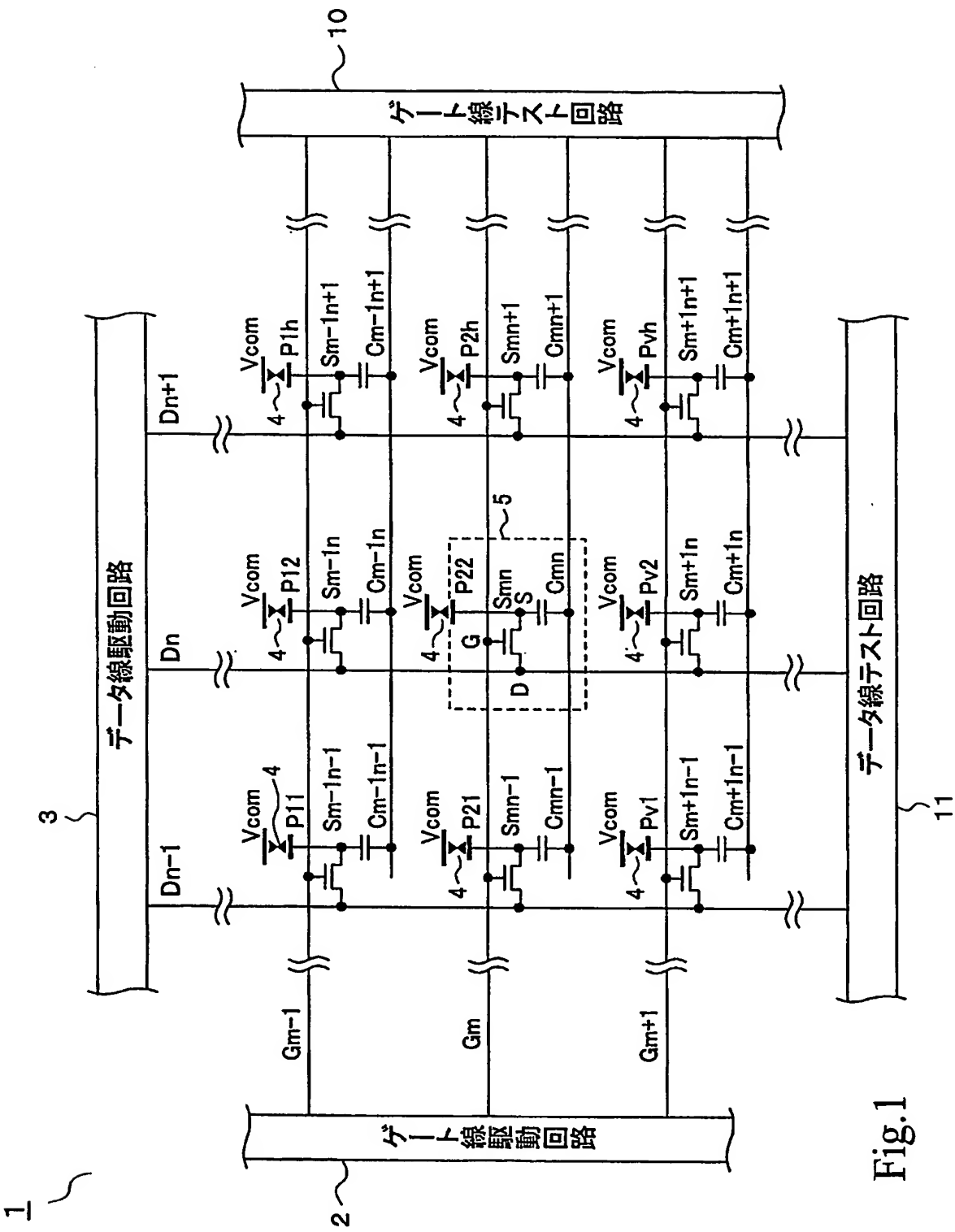


Fig.1

2/12

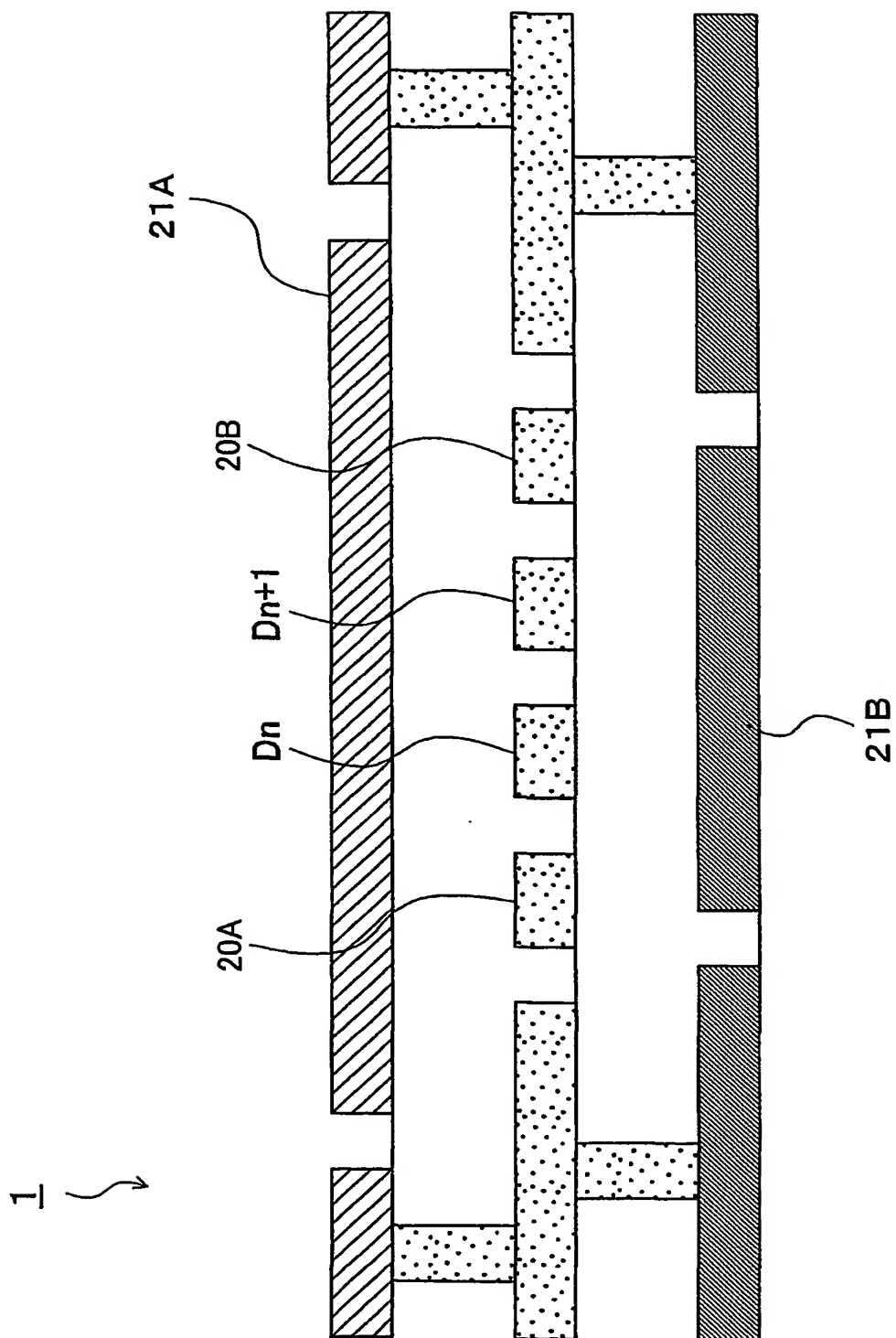


Fig.2

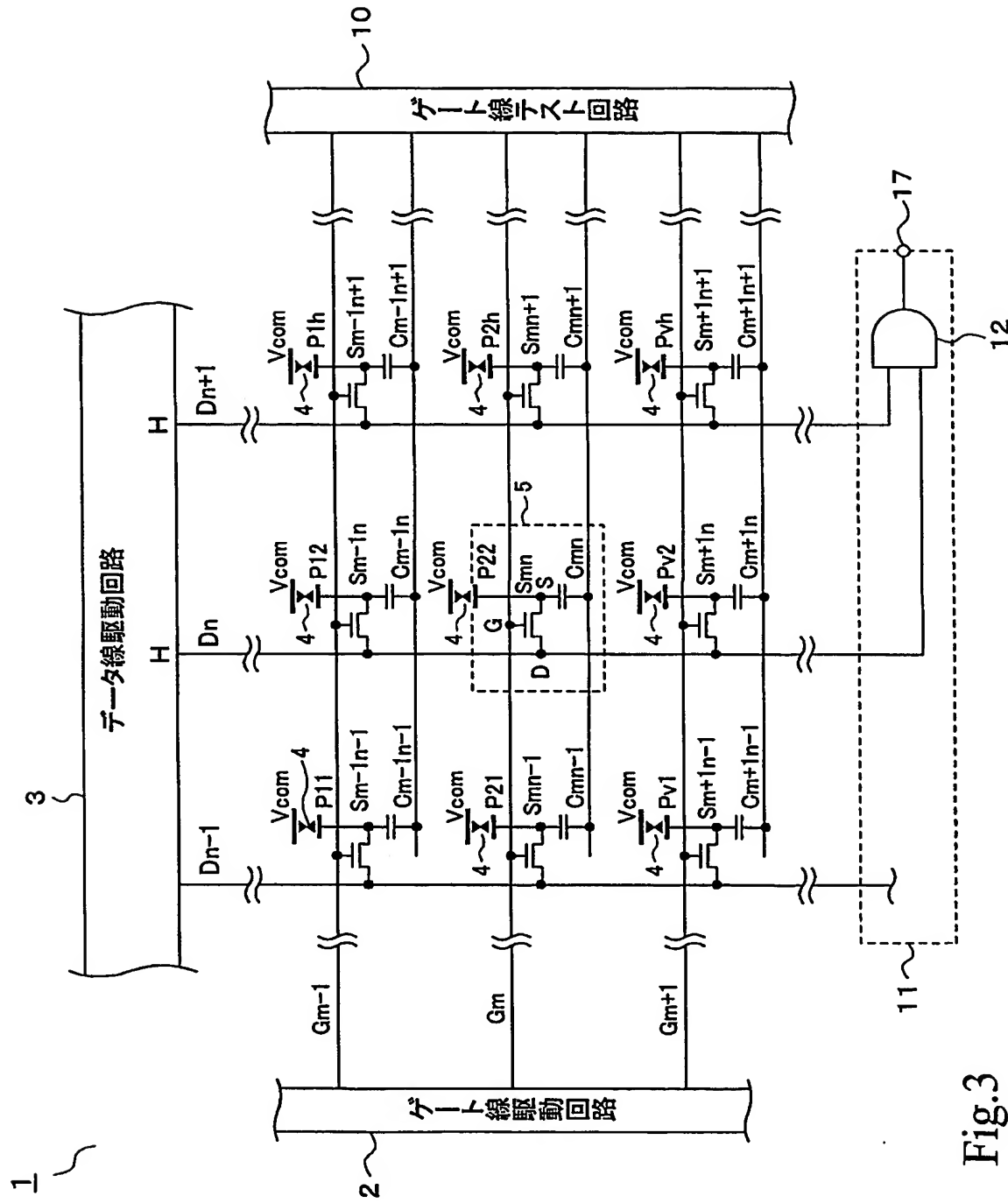


Fig.3

4/12

Fig.4A

データ線	駆動信号	状態	ゲート 入力	ゲート 出力
Dn	H	OK	H	H
Dn+1	H	OK	H	

Fig.4B

データ線	駆動信号	状態	ゲート 入力	ゲート 出力
Dn	H	OK	H	L
Dn+1	H	断線	L	

Fig.4C

データ線	駆動信号	状態	ゲート 入力	ゲート 出力
Dn	H	断線	L	L
Dn+1	H	OK	H	

Fig.4D

データ線	駆動信号	状態	ゲート 入力	ゲート 出力
Dn	H	断線	L	L
Dn+1	H	断線	L	

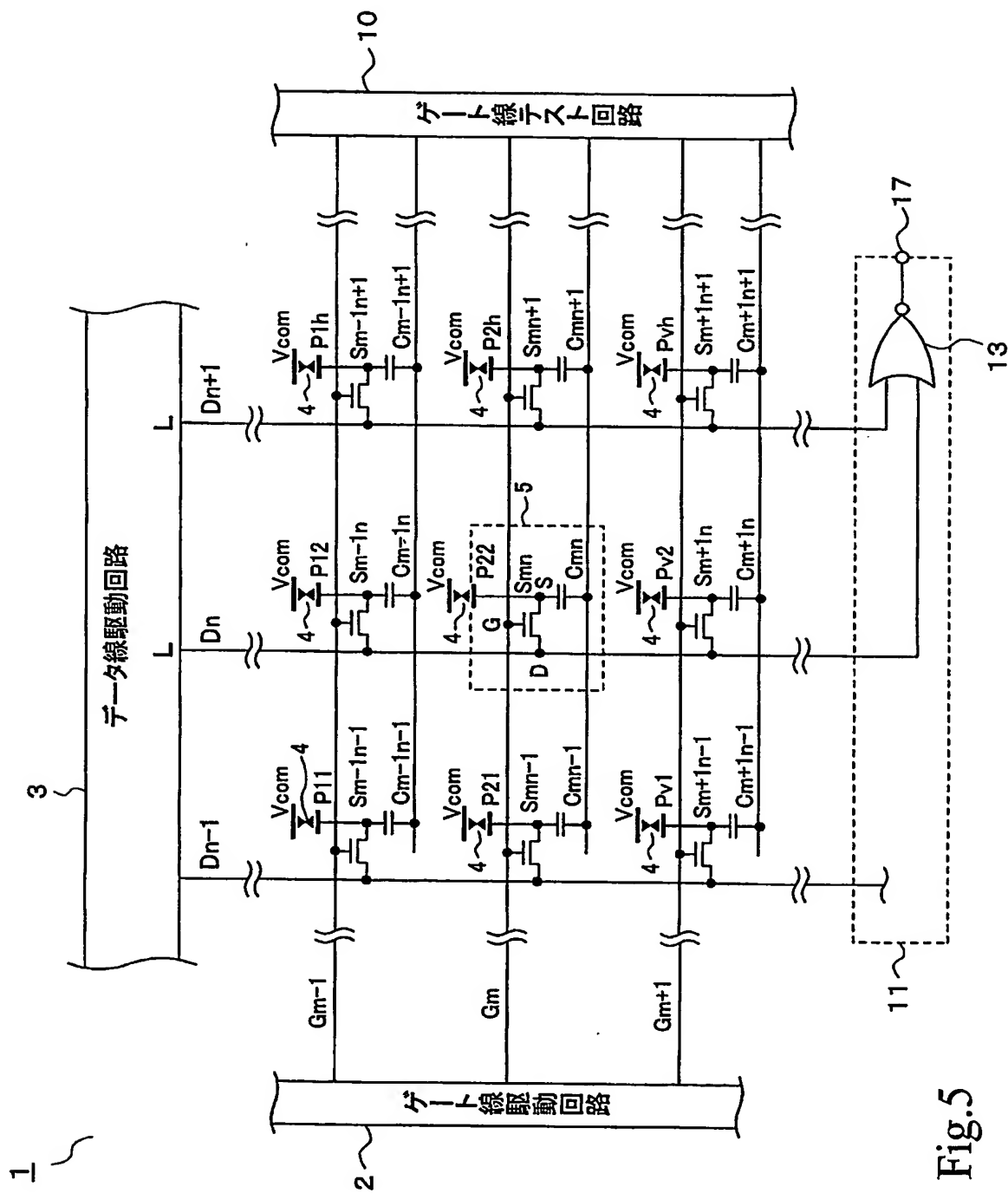


Fig. 5

6/12

Fig.6A

データ線	駆動信号	状態	ゲート 入力	ゲート 出力
Dn	L	OK	L	H
Dn+1	L	OK	L	

Fig.6B

データ線	駆動信号	状態	ゲート 入力	ゲート 出力
Dn	L	OK	L	L
Dn+1	L	断線	H	

Fig.6C

データ線	駆動信号	状態	ゲート 入力	ゲート 出力
Dn	L	断線	H	L
Dn+1	L	OK	L	

Fig.6D

データ線	駆動信号	状態	ゲート 入力	ゲート 出力
Dn	L	断線	H	L
Dn+1	L	断線	H	

7/12

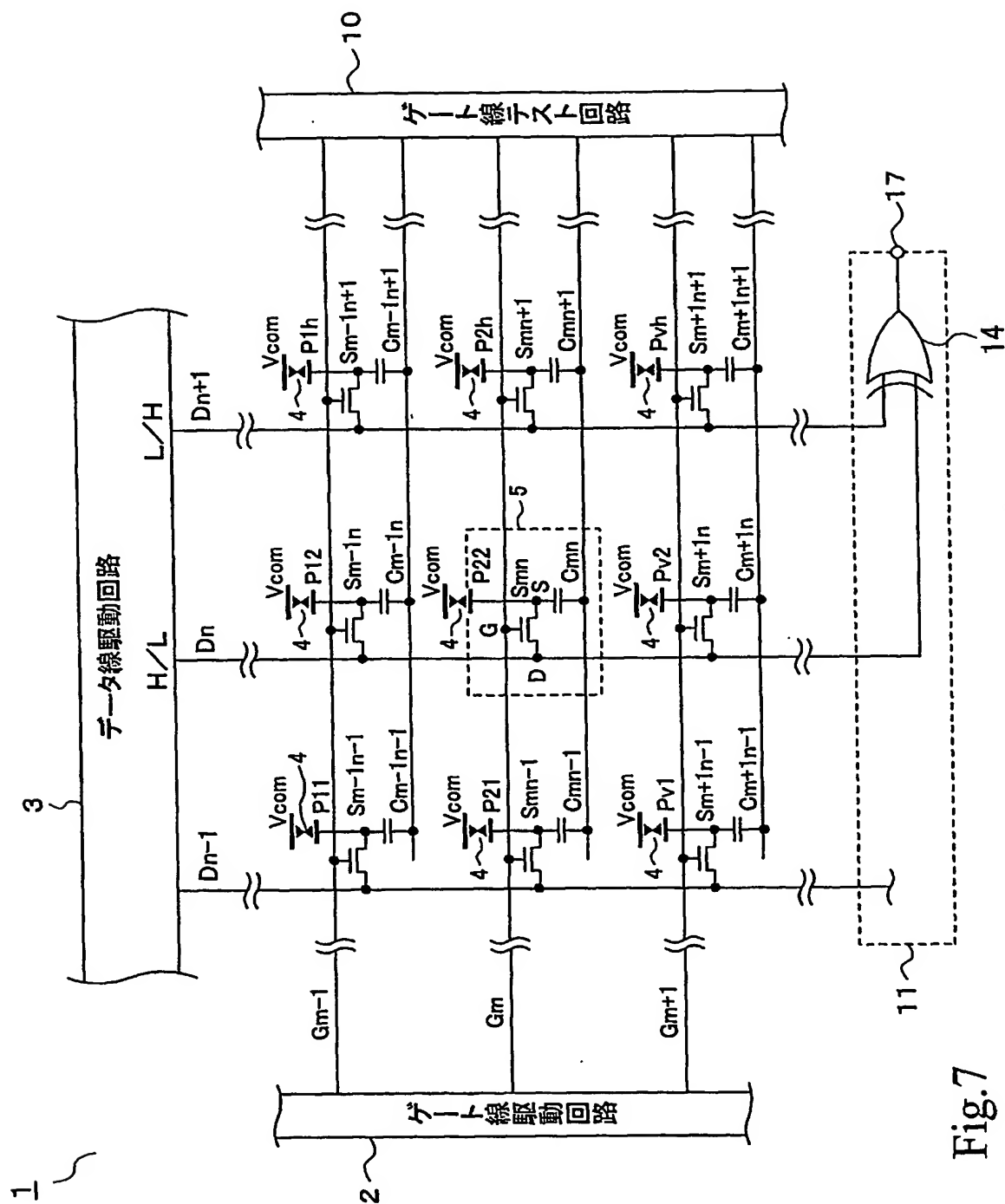


Fig.7

8/12

データ線	駆動信号	状態	ゲート入力	ゲート出力
Dn	H	OK	H	H
Dn+1	L	OK	L	

Fig.8A

データ線	駆動信号	状態	ゲート入力	ゲート出力
Dn	L	OK	L	H
Dn+1	H	OK	H	

Fig.8G

データ線	駆動信号	状態	ゲート入力	ゲート出力
Dn	H	短絡 (データ線間)	L : H	L
Dn+1	L		L : H	

Fig.8B

データ線	駆動信号	状態	ゲート入力	ゲート出力
Dn	L	短絡 (データ線間)	L : H	L
Dn+1	H		L : H	

Fig.8H

データ線	駆動信号	状態	ゲート入力	ゲート出力
Dn	H	OK	H	L
Dn+1	L	短絡 (H)	H	

Fig.8C

データ線	駆動信号	状態	ゲート入力	ゲート出力
Dn	L	OK	L	H
Dn+1	H	短絡 (H)	H	

Fig.8I

データ線	駆動信号	状態	ゲート入力	ゲート出力
Dn	H	OK	H	H
Dn+1	L	短絡 (L)	L	

Fig.8D

データ線	駆動信号	状態	ゲート入力	ゲート出力
Dn	L	OK	L	L
Dn+1	H	短絡 (L)	L	

Fig.8J

データ線	駆動信号	状態	ゲート入力	ゲート出力
Dn	H	短絡 (H)	H	H
Dn+1	L	OK	L	

Fig.8E

データ線	駆動信号	状態	ゲート入力	ゲート出力
Dn	L	短絡 (H)	H	L
Dn+1	H	OK	H	

Fig.8K

データ線	駆動信号	状態	ゲート入力	ゲート出力
Dn	H	短絡 (L)	L	L
Dn+1	L	OK	L	

Fig.8F

データ線	駆動信号	状態	ゲート入力	ゲート出力
Dn	L	短絡 (L)	L	H
Dn+1	H	OK	H	

Fig.8L

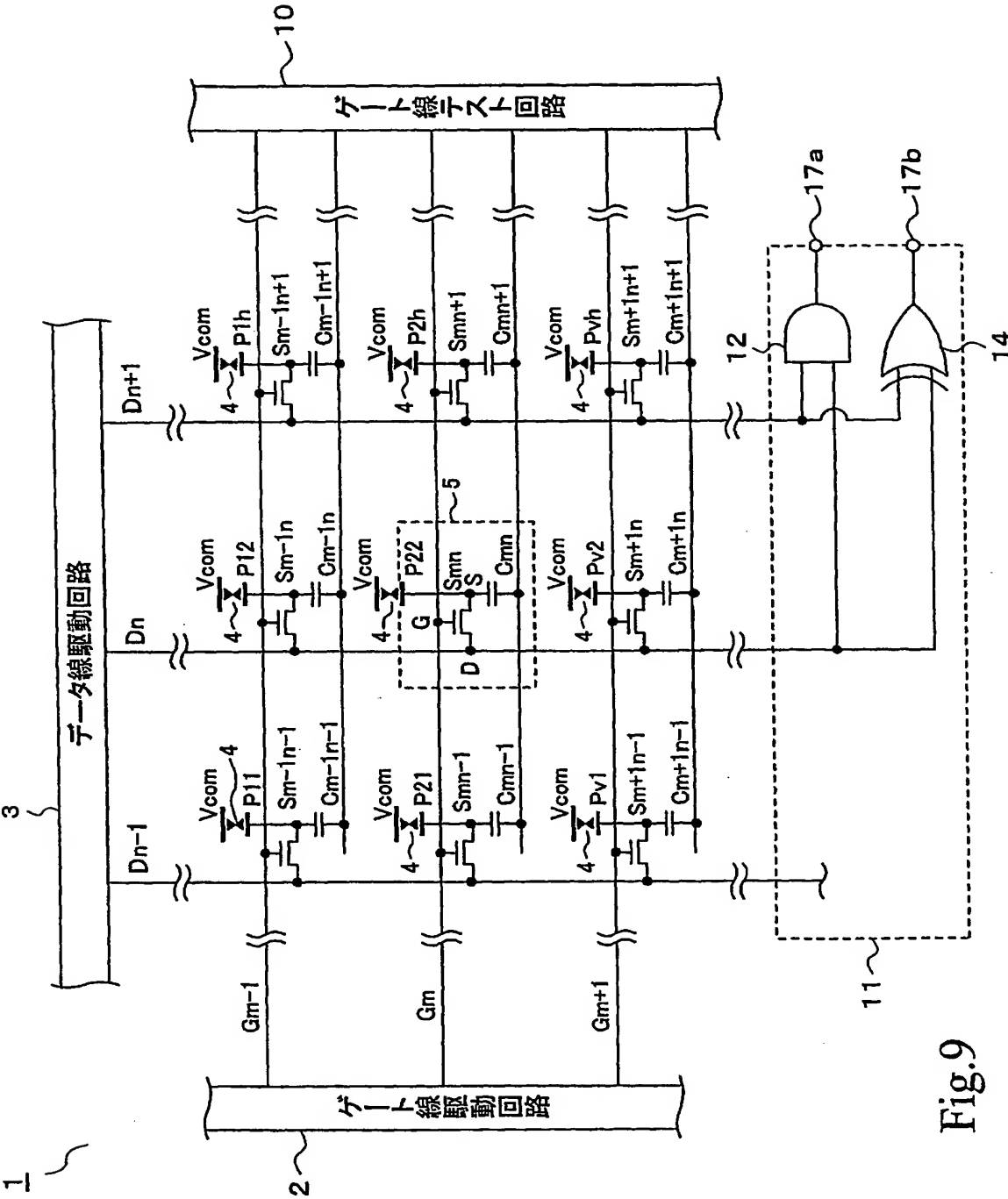


Fig.9

10/12

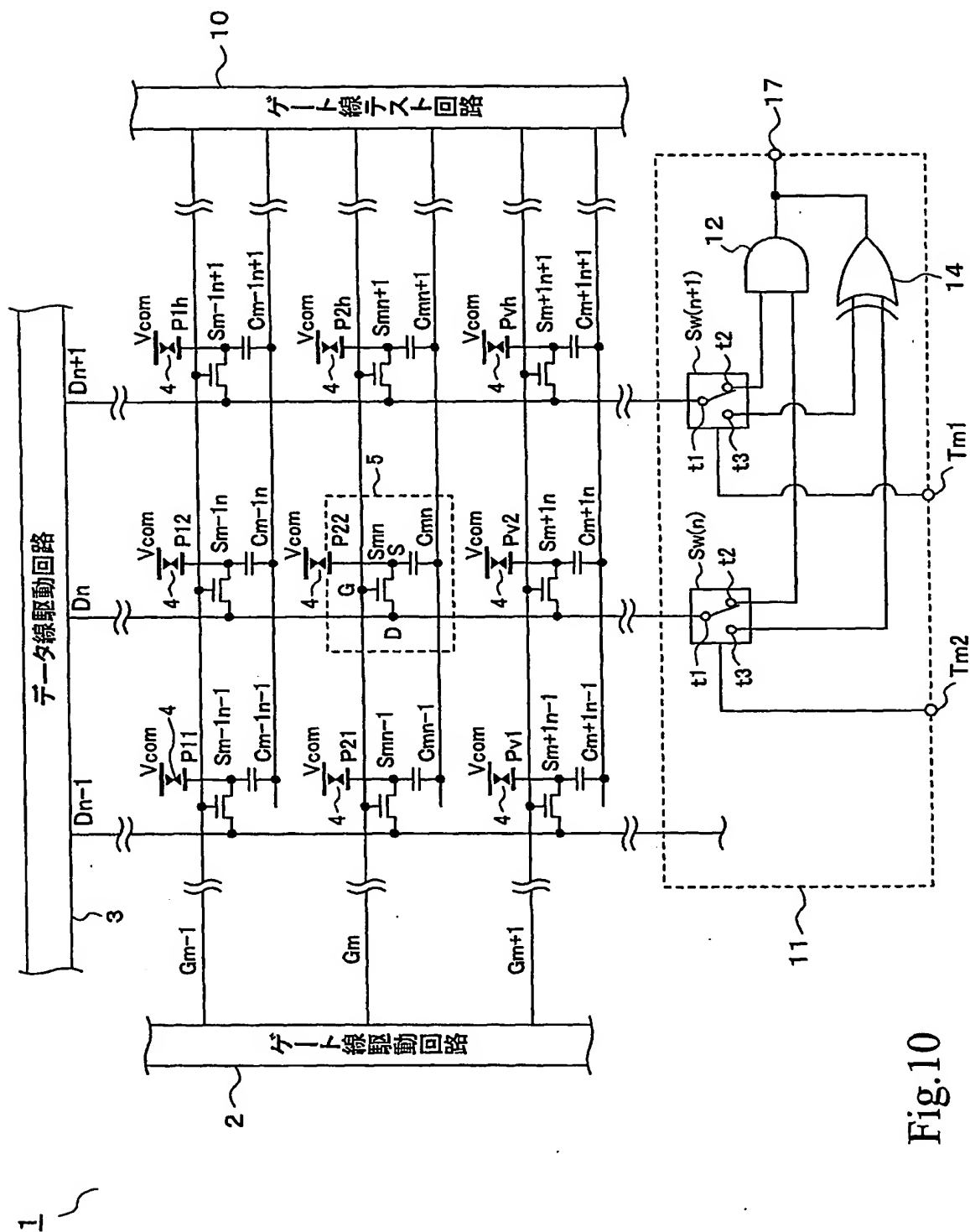


Fig.10

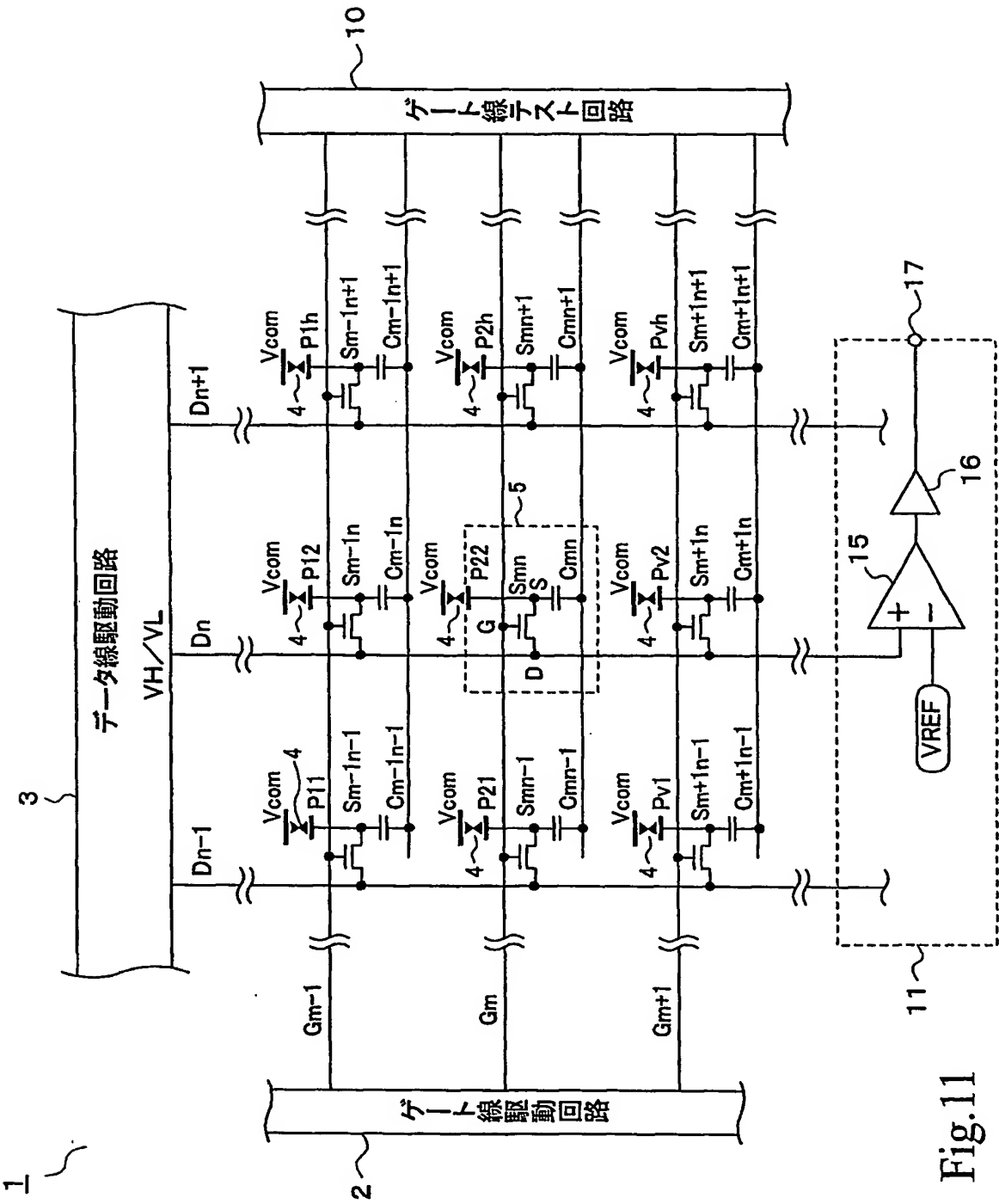
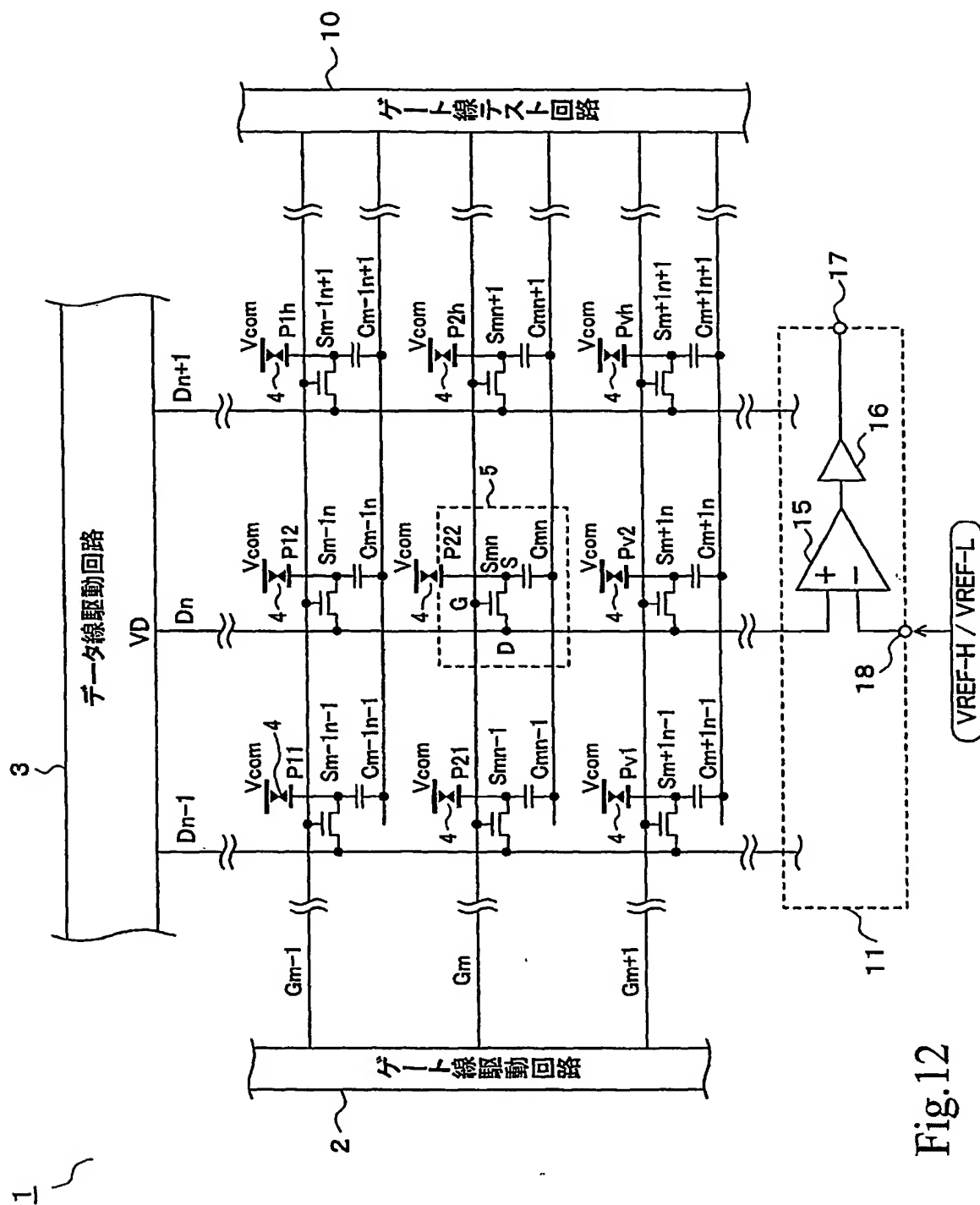


Fig.11

12/12



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/010552

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ G02F1/13, G02F1/1368, G01R31/00

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ G02F1/13, G02F1/1368, G01R31/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Jitsuyo Shinan Toroku Koho	1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2000-47255 A (Matsushita Electric Industrial Co., Ltd.), 18 February, 2000 (18.02.00), Full text; all drawings (Family: none)	1-6
X	JP 2001-318113 A (Seiko Epson Corp.), 16 November, 2001 (16.11.01), Full text; all drawings (Family: none)	4-6
X	JP 2003-50551 A (Sharp Corp.), 21 February, 2003 (21.02.03), Full text; all drawings (Family: none)	4-6



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
06 September, 2004 (06.09.04)

Date of mailing of the international search report
21 September, 2004 (21.09.04)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/010552

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 60-122922 U (Seiko Instruments Inc.), 19 August, 1985 (19.08.85), Full text; all drawings (Family: none)	1-3
A	JP 3-18891 A (Matsushita Electronics Corp.), 28 January, 1991 (28.01.91), Full text; all drawings (Family: none)	1-3
A	JP 3-20721 A (Matsushita Electronics Corp.), 29 January, 1991 (29.01.91), Full text; all drawings (Family: none)	1-3
A	JP 2001-91920 A (Citizen Watch Co., Ltd.), 06 April, 2001 (06.04.01), Full text; all drawings (Family: none)	1-3

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ G02F1/13, G02F1/1368, G01R31/00

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ G02F1/13, G02F1/1368, G01R31/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2004年
日本国登録実用新案公報	1994-2004年
日本国実用新案登録公報	1996-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 2000-47255 A (松下電器産業株式会社) 18.02.2000 全文, 全図 (ファミリーなし)	1-6
X	JP 2001-318113 A (セイコーエプソン株式会社) 16.11.2001 全文, 全図 (ファミリーなし)	4-6

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

06.09.2004

国際調査報告の発送日

21.9.2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

山口 裕之

2X

2913

電話番号 03-3581-1101 内線 3293

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	J P 2003-50551 A (シャープ株式会社) 21.02.2003 全文, 全図 (ファミリーなし)	4-6
A	J P 60-122922 U (セイコー電子工業株式会社) 19.08.1985 全文, 全図 (ファミリーなし)	1-3
A	J P 3-18891 A (松下電子工業株式会社) 28.01.1991 全文, 全図 (ファミリーなし)	1-3
A	J P 3-20721 A (松下電子工業株式会社) 29.01.1991 全文, 全図 (ファミリーなし)	1-3
A	J P 2001-91920 A (シチズン時計株式会社) 06.04.2001 全文, 全図 (ファミリーなし)	1-3